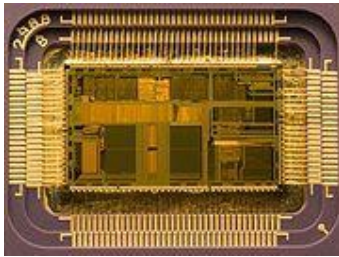


Cours sur le Microprocesseur

Le Processeur :

Le **processeur**, (ou **CPU**, Central Processing Unit, « Unité centrale de traitement » en [français](#)) est le composant essentiel d'un [ordinateur](#) qui interprète les instructions et traite les données d'un [programme](#).



La vitesse de traitement d'un processeur est encore parfois exprimée en MIPS ([million d'instructions par seconde](#)) ou en Mégaflops (millions de [floating-point operations per second](#)) pour la partie virgule flottante, dite FPU (Floating Point Unit). Pourtant, aujourd'hui, les processeurs sont basés sur différentes architectures et techniques de parallélisation des traitements qui ne permettent plus de déterminer simplement leurs performances. Des programmes spécifiques d'évaluation des performances ([benchmarks](#)) ont été mis au point pour obtenir des comparatifs des temps d'exécution de programmes réels.

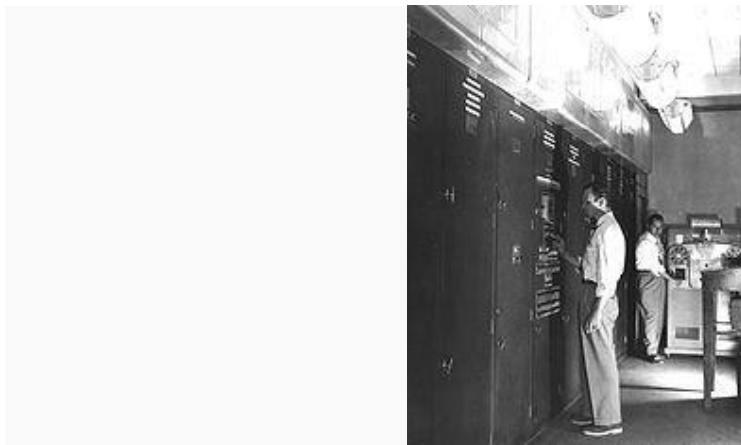
C'est le processeur qui apporte aux ordinateurs leur capacité fondamentale à être programmés, c'est un des composants nécessaires au fonctionnement de tous les types d'ordinateurs, associés aux mémoires primaires et aux dispositifs d'entrée/sortie. Un processeur construit en un seul [circuit intégré](#) est communément nommé [microprocesseur](#), à l'inverse, certains fabricants ont développé des processeurs en tranches, dans ce cas les fonctions élémentaires ([ALU](#), [FPU](#), [séquenceur](#), etc.) sont réparties dans plusieurs circuits intégrés spécialisés.

L'invention du [transistor](#) en 1947 a ouvert la voie de la miniaturisation des composants électroniques et le terme d'unité centrale (CPU) est utilisé dans l'industrie électronique dès le début des [années 1960](#) (Weik 1961). Depuis le milieu des [années 1970](#), la complexité et la puissance des microprocesseurs n'a cessé d'augmenter au-delà de tous les autres types de processeurs au point qu'aujourd'hui les termes de processeur, microprocesseur ou CPU, s'utilisent de manière indifférenciée pour tous les types de processeurs.

Les processeurs des débuts étaient conçus spécifiquement pour un ordinateur d'un type donné. Cette méthode coûteuse de conception des processeurs pour une application spécifique a conduit au

développement de la production de masse de processeurs qui conviennent pour un ou plusieurs usages. Cette tendance à la standardisation qui débuta dans le domaine des ordinateurs centraux ([mainframes](#) à transistors discrets et mini-ordinateurs) a connu une accélération rapide avec l'avènement des circuits intégrés. Les circuits intégrés ont permis la miniaturisation des processeurs dont les dimensions sont réduites à l'ordre de grandeur du millimètre. La miniaturisation et la standardisation des processeurs ont conduit à leur diffusion dans la vie moderne bien au-delà des usages des machines programmables dédiées. On trouve les microprocesseurs modernes partout, de l'automobile aux téléphones portables, en passant par les jouets pour enfants.

Histoire



[EDVAC](#). L'un des premiers ordinateurs à programme enregistré.

Avant l'arrivée des machines qui ressemblent aux unités centrales de traitement d'aujourd'hui, les ordinateurs tels que l'[ENIAC](#) devaient être physiquement recâblés avant d'exécuter chaque programme, c'est pour cette raison qu'on les a appelés « ordinateurs à un programme ». Puisque le terme « unité centrale de traitement » est généralement défini comme dispositif d'exécution de logiciel (programme machine), les premiers dispositifs que l'on pourrait appeler processeur sont arrivés avec les ordinateurs à programme enregistré.

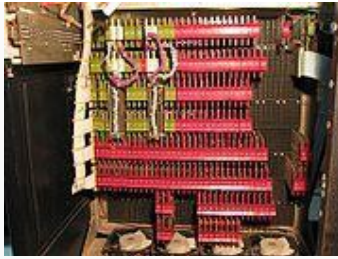
L'idée d'un ordinateur à programme enregistré était déjà présente pendant la conception d'ENIAC, mais avait été volontairement écartée pour que la machine soit terminée plus tôt. Le 30 juin 1945, avant qu'ENIAC ait été achevé, le mathématicien [John von Neumann](#) a diffusé le document intitulé « première ébauche d'un rapport sur l'[EDVAC](#). » Il a décrit la conception d'un ordinateur à programme enregistré qui sera par la suite complété en août 1949^{réf.1}. EDVAC a été conçu pour exécuter un certain nombre d'instructions (ou opérations) de divers types. Ces instructions pouvaient être

combinées pour créer des programmes utiles au fonctionnement de l'EDVAC. De manière significative, les programmes écrits pour EDVAC ont été stockés dans de la mémoire d'ordinateur à grande vitesse plutôt que définis par le câblage physique de l'ordinateur. Ceci a surmonté une limitation importante d'ENIAC, qui était la grande quantité de temps et d'effort nécessaires pour modifier l'ordinateur en vue d'exécuter un nouveau programme. Avec la conception de von Neumann, le programme, ou le logiciel, qu'EDVAC exécutait pouvait être changé par simple modification du contenu de la mémoire d'ordinateur¹.

Tandis que von Neumann le plus souvent est crédité de la conception de l'ordinateur à programme enregistré en raison de sa conception d'EDVAC, d'autres avant lui tel que Konrad Zuse avaient suggéré des idées semblables. De plus, l'architecture de Harvard (Harvard Mark I), qui a été réalisée avant EDVAC, a également utilisé une conception à programme enregistré en utilisant le [ruban perforé](#) plutôt que la mémoire électronique. La différence principale entre les architectures von Neumann et Harvard est que la dernière sépare le stockage et le traitement des instructions et des données d'unité centrale de traitement, tandis que l'autre utilise le même espace mémoire pour les deux. La plupart des unités centrales de traitement modernes sont principalement von Neumann dans la conception, mais des éléments de l'architecture de Harvard y sont généralement ajoutés.

Comme tous les dispositifs numériques, les processeurs traitent des états discrets et requièrent donc des éléments de commutation pour différencier et changer ces états. Avant l'acceptation commerciale du transistor, les [relais électromécaniques](#) et les [tubes électroniques](#) étaient utilisés généralement comme éléments de commutation. Bien que ceux-ci présentent des avantages certains de vitesse sur les précédents, de conception purement mécanique, ils étaient peu fiables pour différentes raisons. Par exemple, réaliser des circuits de [logique séquentielle](#) à courant continu avec des relais impose du matériel additionnel pour régler le problème du rebond de contact. Tandis que les tubes à vide ne souffrent pas du rebond de contact, ils doivent être préchauffés avant de devenir complètement opérationnels et par la suite peuvent cesser de fonctionner brutalement. Régulièrement, quand un tube tombe en panne il faut procéder à un diagnostic de l'unité centrale de traitement en localisant et en remplaçant l'élément défaillant. Par conséquent, les ordinateurs électroniques plus récents (utilisant des tubes à vide) étaient généralement plus rapides mais moins fiables que les anciens (utilisant des relais) ordinateurs électromécaniques. Les ordinateurs à tubes comme EDVAC fonctionnaient en moyenne huit heures entre les pannes, tandis que les ordinateurs à relais (plus lents mais arrivés plus tôt) d'architecture Harvard ne tombaient en panne que très rarement (Weik 1961:238). En fin de compte, les unités centrales de traitement à tubes ont supplanté les autres parce que leurs avantages significatifs de vitesse ont été prépondérants par rapport aux problèmes de [fiabilité](#). La plupart de ces premières unités centrales de traitement synchrones ont fonctionné à de basses fréquences de base comparées aux conceptions [microélectroniques](#) modernes. Les [fréquences](#) de signal d'horloge s'étendant de 100 kilohertz à 4 mégahertz étaient très communes à l'époque, limitées en grande partie par la vitesse des dispositifs de commutation qu'elles utilisaient.

Processeurs à transistors discrets ou à circuits intégrés [\[modifier\]](#)



Processeur, [Mémoire centrale](#), et [bus d'interface](#) d'un MSI PDP-8/I.

La complexité de conception des unités centrales de traitement s'est accrue lorsque diverses technologies ont facilité la construction de dispositifs électroniques plus petits et plus fiables. La première de ces améliorations est apparue avec l'avènement du [transistor](#). Les processeurs transistorisés des années 1950 et des années 1960 n'ont plus besoin de faire appel à des éléments de commutation encombrants, peu fiables et fragiles comme les [tubes](#) à vide et les [relais électromécaniques](#). Avec cette amélioration, des unités centrales de traitement plus complexes et plus fiables ont été construites sur une ou plusieurs cartes de [circuit imprimé](#) contenant des composants discrets (individuels). Au cours de cette période, une nouvelle méthode de fabrication a vu le jour, permettant de grouper un grand nombre de transistors sur une surface réduite de matériau [semi-conducteur](#), le [circuit intégré \(IC\)](#) était né.

Au tout début, des circuits numériques non spécialisés, tels que les [portes NOR](#), ont été miniaturisés dans des circuits intégrés. Les unités centrales de traitement basées sur ces modules élémentaires sont généralement appelées dispositifs à faible intégration (**SSI**, pour Small Scale Integration). Les circuits intégrés SSI, comme ceux utilisés dans l'ordinateur de guidage de la station spatiale [Apollo](#), ne comptent généralement qu'une dizaine de transistors. Construire une unité centrale de traitement entièrement en circuits SSI nécessite des milliers de circuits intégrés individuels, mais consomme toujours beaucoup moins d'espace et de puissance que les montages à transistors discrets précédents. Pendant que la technologie microélectronique avançait, un nombre croissant de transistors ont été intégrés dans les circuits, de ce fait diminuant le nombre de circuits individuels nécessaires pour une unité centrale de traitement complète.

L'échelle d'intégration définit le nombre de portes par boîtier :

- SSI (small scale integration) petite : inférieur à 12 ;
- MSI (medium scale integration) moyenne : 12 à 99 ;
- LSI (large scale integration) grande : 100 à 9 999 ;
- VLSI (very large scale integration) très grande : 10 000 à 99 999 ;
- ULSI (ultra large scale integration) ultra grande : 100 000 et plus.

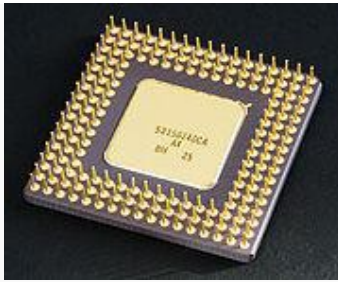
Ces distinctions ont peu à peu perdu de leur utilité avec la croissance exponentielle du nombre de portes logiques. Aujourd'hui plusieurs centaines de millions de transistors (plusieurs dizaines de millions de portes logiques) représentent un chiffre normal (pour un [microprocesseur](#) ou un circuit intégré graphique haut de gamme).

En 1964 [IBM](#) a présenté son architecture d'ordinateur System/360, qui a été employée dans une série d'ordinateurs qui pouvaient exécuter les mêmes programmes à différentes vitesses et performances. C'était significatif à un moment où la plupart des ordinateurs étaient incompatibles entre eux, même ceux construits par le même fabricant. Pour développer cette avancée, IBM mis au point le concept de microprogramme (souvent appelé « [microcode](#) »), dont l'utilisation est encore fréquente dans des unités centrales de traitement modernes. L'architecture System/360 était si populaire qu'elle a dominé le marché des [ordinateurs centraux](#) pendant plusieurs décennies laissant un héritage encore utilisé par des ordinateurs modernes comme les zSeries d'IBM. Au cours de la même année (1964), [Digital Equipment Corporation](#) (DEC) a présenté un autre ordinateur déterminant destiné au marché des ordinateurs scientifiques et de recherche, le PDP-8. DEC lancera plus tard la famille très populaire des [PDP-11](#) qui fut à l'origine basée sur des circuits intégrés SSI puis finalement dotée de circuits LSI dès que ceux-ci furent disponibles. Contrastant avec ses prédécesseurs SSI et MSI, la première implémentation en LSI du PDP-11 comportait une unité centrale de traitement à seulement quatre circuits intégrés.

Les ordinateurs à transistors avaient plusieurs avantages certains par rapport à leurs prédécesseurs. Hormis la meilleure fiabilité et la moindre consommation d'énergie, les transistors ont permis aux processeurs de fonctionner à des vitesses beaucoup plus élevées car les temps de commutation des transistors sont beaucoup plus courts que ceux des tubes et des relais. Grâce à ces deux avancées, la fréquence d'horloge des processeurs s'est accrue considérablement pour atteindre plusieurs gigahertz. Alors que les processeurs à transistors et à circuits intégrés étaient d'usage courant, de nouveaux concepts d'architecture à haute performance comme les [processeurs vectoriels](#) et le SIMD (Simple Instruction Multiple Data - données multiples instruction simple) commencèrent à apparaître et ouvrirent la voie au développement des [supercalculateurs](#) spécialisés comme ceux qui furent réalisés par la [société Cray Research](#).

Microprocesseurs

Article détaillé : [microprocesseur](#).



[Intel 80486DX2](#) [microprocesseur](#) en boîtier céramique [PGA](#)

L'introduction du [microprocesseur](#) dans les années 1970 a marqué de manière significative la conception et l'implémentation des unités centrales de traitement. Depuis l'introduction du premier microprocesseur ([Intel 4004](#)) en 1970 et du premier microprocesseur employé couramment ([Intel 8080](#)) en 1974, cette classe de processeurs a presque totalement dépassé toutes les autres méthodes d'implémentation d'unité centrale de traitement. Les fabricants d'ordinateurs centraux (mainframe et miniordinateurs) de l'époque ont lancé leurs propres programmes de développement de circuits intégrés pour mettre à niveau les architectures anciennes de leurs ordinateurs et ont par la suite produit des microprocesseurs à jeu d'instructions compatible en assurant la compatibilité ascendante avec leurs anciens modèles. Les générations précédentes des unités centrales de traitement comportaient un assemblage de composants discrets et de nombreux circuits faiblement intégrés sur une ou plusieurs cartes électroniques. Les microprocesseurs sont construits avec un très petit nombre de circuits très fortement intégrés ([ULSI](#)), habituellement un seul. Les microprocesseurs sont implémentés sur une seule [puce électronique](#), donc de dimensions réduites, ce qui veut dire des temps de commutation plus courts liés à des facteurs physiques comme par exemple la diminution de la [capacité](#) parasite des portes. Ceci a permis aux microprocesseurs synchrones d'augmenter leur fréquence de base de quelques dizaines de mégahertz à plusieurs gigahertz. De plus, à mesure que la capacité de fabriquer des transistors extrêmement petits sur un circuit intégré a augmenté, la complexité et le nombre de transistors dans un seul processeur a considérablement augmenté. Cette tendance largement observée est décrite par la [loi de Moore](#), qui s'est avérée être jusqu'ici un facteur prédictif assez précis de la croissance de la complexité des processeurs (et de tout autre circuit intégré).

Les [processeurs multi c ur](#) (multicores) récents comportent maintenant plusieurs c urs dans un seul circuit intégré, leur efficacité dépend grandement de la topologie d'interconnexion entre les c urs. De nouvelles approches comme la superposition de la mémoire et du c ur de processeur (memory stacking) sont à l'étude et devraient conduire à un nouvel accroissement des performances. En se basant sur les tendances des 10 dernières années, les performances des processeurs devraient atteindre le [Pétaflop](#), vers 2010 pour les serveurs, et à l'horizon 2030 dans les PC.

Début juin 2008 le [supercalculateur](#) militaire IBM Roadrunner est le premier à franchir cette barre symbolique du [Pétaflop](#). Puis en [novembre 2008](#) c'est au tour du supercalculateur Jaguar de [Cray](#). En avril 2009 ce sont les deux seuls supercalculateurs à avoir dépassé le Petaflop.

Tandis que la complexité, la taille, la construction, et la forme générale des processeurs ont fortement évolué au cours des soixante dernières années, la conception et la fonction de base n'ont pas beaucoup changé. Presque tous les processeurs communs d'aujourd'hui peuvent être décrits très précisément comme machines à programme enregistré de von Neumann. Alors que la loi de Moore, mentionnée ci-dessus, continue à être vérifiée, des questions ont surgi au sujet des limites de la technologie des circuits intégrés à transistors. La miniaturisation des portes électroniques est si importante que les effets de phénomènes comme l'[électromigration](#) (dégradation progressive des interconnexions métalliques entraînant une diminution de la fiabilité des circuits intégrés) et les courants de fuite (leur importance augmente avec la réduction des dimensions des circuits intégrés, ils sont à l'origine d'une consommation d'énergie électrique pénalisante), auparavant négligeables, deviennent de plus en plus significatifs. Ces nouveaux problèmes sont parmi les nombreux facteurs conduisant les chercheurs à étudier d'une part, de nouvelles technologies de traitement telles que l'[ordinateur quantique](#) l'usage du calcul parallèle, et d'autre part, d'autres méthodes d'utilisation du modèle classique de von Neumann.

Fonctionnement

Composition d'un processeur

Les parties essentielles d'un processeur sont :

- l' **Unité Arithmétique et Logique** (UAL, en anglais Arithmetic and Logical Unit - ALU), qui prend en charge les calculs arithmétiques élémentaires et les tests ;
- l'[unité de contrôle](#) ou **séquenceur**, qui permet de synchroniser les différents éléments du processeur. En particulier, il initialise les registres lors du démarrage de la machine et il gère les interruptions ;
- les **registres**, qui sont des [mémoires](#) de petite taille (quelques [octets](#)), suffisamment rapides pour que l'UAL puisse manipuler leur contenu à chaque cycle de l'horloge. Un certain nombre de registres sont communs à la plupart des processeurs :
 - [Compteur ordinal](#) : ce registre contient l'adresse [mémoire](#) de l'instruction en cours d'exécution ;
 - **accumulateur** : ce registre est utilisé pour stocker les données en cours de traitement par l'UAL ;
 - **registre d'adresses** : il contient toujours l'adresse de la prochaine information à lire par l'UAL, soit la suite de l'instruction en cours, soit la prochaine instruction ;
 - **registre d'instructions** : il contient l'instruction en cours de traitement ;

- **registre d'état** : il sert à stocker le contexte du processeur, ce qui veut dire que les différents bits de ce registre sont des drapeaux (flags) servant à stocker des informations concernant le résultat de la dernière instruction exécutée ;
- **pointeurs de pile** : ce type de registre, dont le nombre varie en fonction du type de processeur, contient l'adresse du sommet de la pile (ou des piles) ;
- **registres généraux** : ces registres sont disponibles pour les calculs ;
- l'**horloge** qui synchronise toutes les actions de l'unité centrale. Elle est présente dans les processeurs synchrones, et absente des processeurs asynchrones et des processeurs autosynchrones ;
- l'**unité d'entrée-sortie**, qui prend en charge la communication avec la mémoire de l'ordinateur ou la transmission des ordres destinés à piloter ses processeurs spécialisés, permettant au processeur d'accéder aux périphériques de l'ordinateur.

Les processeurs actuels intègrent également des éléments plus complexes :

- plusieurs UAL, ce qui permet de traiter plusieurs instructions en même temps. L'architecture superscalaire, en particulier, permet de disposer des UAL en parallèle, chaque UAL pouvant exécuter une instruction indépendamment de l'autre ;
- l'**architecture superpipeline** permet de découper temporellement les traitements à effectuer. C'est une technique qui vient du monde des supercalculateurs ;
- une **unité de prédiction de saut**, qui permet au processeur d'anticiper un saut dans le déroulement d'un programme, permettant d'éviter d'attendre la valeur définitive d'adresse du saut. Cela permet de mieux remplir le pipeline ;
- une unité de calcul en virgule flottante (en anglais Floating Point Unit - FPU), qui permet d'accélérer les calculs sur des nombre réels codés en virgule flottante ;
- la mémoire cache, qui permet d'accélérer les traitements, en diminuant les temps d'accès à la mémoire. Ces mémoires tampons sont en effet beaucoup plus rapides que la RAM et ralentissent moins le CPU. Le cache instructions reçoit les prochaines instructions à exécuter, le cache données manipule les données. Parfois, un seul cache unifié est utilisé pour le code et les données. Plusieurs niveaux de caches peuvent coexister, on les désigne souvent sous les noms de L1, L2 ou L3. Dans les processeurs évolués, des unités spéciales du processeur sont dévolues à la recherche, par des moyens statistiques et/ou prédictifs, des prochains accès en mémoire centrale.

Un processeur est défini par :

- la largeur de ses registres internes de manipulation de données (8, 16, 32, 64, 128) bits ;
- la cadence de son horloge exprimée en MHz (mega hertz) ou GHz (giga hertz) ;

- le nombre de noyaux de calcul (core) ;
- son jeu d'instructions (ISA en anglais, Instructions Set Architecture) dépendant de la famille (CISC, RISC, etc) ;
- sa finesse de gravure exprimée en nm (nanomètres) et sa microarchitecture.

Mais ce qui caractérise principalement un processeur est la famille à laquelle, il appartient :

- CISC (Complex Instruction Set Computer : choix d'instructions aussi proches que possible d'un langage de haut niveau) ;
- RISC (Reduced Instruction Set Computer : choix d'instructions plus simples et d'une structure permettant une exécution très rapide) ;
- VLIW (Very Long Instruction Word) ;
- DSP (Digital Signal Processor). Même si cette dernière famille (DSP) est relativement spécifique. En effet un processeur est un composant programmable et est donc a priori capable de réaliser tout type de programme. Toutefois, dans un souci d'optimisation, des processeurs spécialisés sont conçus et adaptés à certains types de calculs (3D, son, etc.). Les DSP sont des processeurs spécialisés pour les calculs liés au traitement de signaux. Par exemple, il n'est pas rare de voir implémenter des Transformées de Fourier dans un DSP.

Un processeur possède trois types de bus :

- un **bus de données**, définit la taille des données manipulables (indépendamment de la taille des registres internes) ;
- un **bus d'adresse** définit le nombre de cases mémoire accessibles ;
- un **bus de contrôle** définit la gestion du processeur IRQ, RESET etc.

Les opérations du processeur

Le rôle fondamental de la plupart des unités centrales de traitement, indépendamment de la forme physique qu'elles prennent, est d'exécuter une série d'instructions stockées appelées "programme".

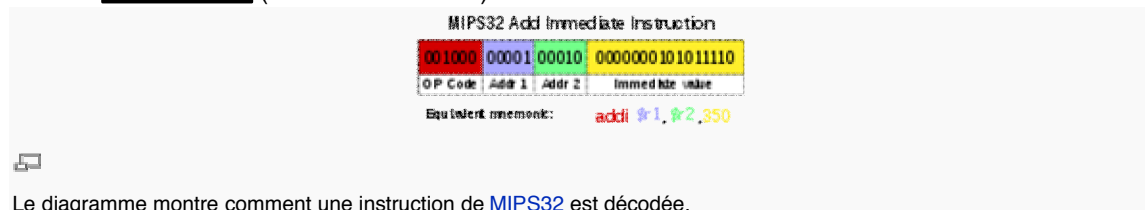
Les instructions (parfois décomposées en micro instructions) et les données transmises au processeur sont exprimées en mots binaires (code machine). Elles sont généralement stockées dans la mémoire. Le séquenceur ordonne la lecture du contenu de la mémoire et la constitution des mots présentées à l'ALU qui les interprète.

L'ensemble des instructions et des données constitue un programme.

Le langage le plus proche du code machine tout en restant lisible par des humains est le langage d'assemblage, aussi appelé langage assembleur (forme francisée du mot anglais « assembler »). Toutefois, l'informatique a développé toute une série de langages, dits de haut niveau (comme le BASIC, Pascal, C, C++, Fortran, Ada, etc), destinés à simplifier l'écriture des programmes.

Les opérations décrites ici sont conformes à l'[architecture de von Neumann](#). Le programme est représenté par une série d'instructions qui réalisent des opérations en liaison avec la mémoire vive de l'ordinateur. Il y a quatre étapes que presque toutes les architectures von Neumann utilisent :

- **FETCH** (Recherche de l'instruction) ;
- **DECODE** (Décodage de l'instruction : opérations et opérandes) ;
- **EXECUTE** (Exécution des opérations) ;
- **WRITEBACK** (Ecriture du résultat).

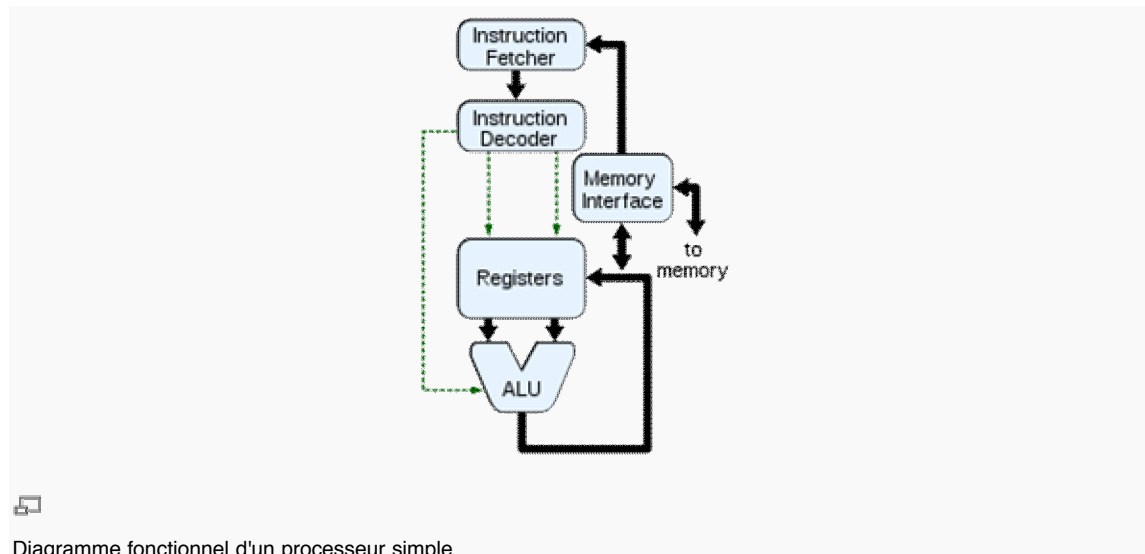


Le diagramme montre comment une instruction de [MIPS32](#) est décodée.

La première étape, **FETCH** (recherche), consiste à rechercher une instruction dans la mémoire vive de l'ordinateur. L'emplacement dans la mémoire est déterminé par le compteur de programme (PC), qui stocke l'adresse de la prochaine instruction dans la mémoire de programme. Après qu'une instruction a été recherchée, le PC est incrémenté par la longueur du mot d'instruction. Dans le cas de mot de longueur constante simple, c'est toujours le même nombre. Par exemple, un mot de 32 bits de longueur constante qui emploie des mots de 8 bits de mémoire incrémenterait toujours le PC par 4 (excepté dans le cas des sauts). Le [jeu d'instructions](#) qui emploie des instructions de longueurs variables comme l'[x86](#), incrémentent le PC par le nombre de mots de mémoire correspondant à la dernière longueur d'instruction. En outre, dans des unités centrales de traitement plus complexes, l'incrémentation du PC ne se produit pas nécessairement à la fin de l'exécution d'instruction. C'est particulièrement le cas dans des architectures fortement parallélisées et superscalaires. Souvent, la recherche de l'instruction doit être opérée dans des mémoires lentes, ralentissant l'unité centrale de traitement qui attend l'instruction. Cette question est en grande partie résolue dans les processeurs modernes par l'utilisation de [caches](#) et d'architectures [pipelines](#).

L'instruction que le processeur recherche en [mémoire](#) est utilisée pour déterminer ce que le CPU doit faire. Dans l'étape **DECODE** (décodage), l'instruction est découpée en plusieurs parties telles qu'elles puissent être utilisées par d'autres parties du processeur. La façon dont la valeur de l'instruction est interprétée est définie par le jeu d'instructions ([ISA](#)) du processeur. Souvent, une partie d'une instruction, appelée [opcode](#) (code d'opération), indique quelle opération est à faire, par exemple une addition. Les parties restantes de l'instruction comportent habituellement les autres informations nécessaires à l'exécution de l'instruction comme par exemples les [opérandes](#) de l'addition. Ces opérandes peuvent prendre une valeur constante, appelée valeur immédiate, ou bien contenir l'emplacement où retrouver (dans un registre ou une adresse mémoire) la valeur de l'opérande, suivant le [mode d'adressage](#) utilisé. Dans les conceptions anciennes, les parties du processeur

responsables du décodage étaient fixes et non modifiables car elles étaient codées dans les circuits. Dans les processeurs plus récents, un microprogramme est souvent utilisé pour traduire les instructions en différents ordres. Ce microprogramme est parfois modifiable pour changer la façon dont le CPU décode les instructions, même après sa fabrication.



Après les étapes de recherche et de décodage arrive l'étape **EXECUTE** (exécution) de l'instruction. Au cours de cette étape, différentes parties du processeur sont mises en relation pour réaliser l'opération souhaitée. Par exemple, pour une addition, l'unité arithmétique et logique (ALU) sera connectée à des entrées et des sorties. Les entrées présentent les nombres à additionner et les sorties contiennent la somme finale. L'ALU contient la circuiterie pour réaliser des opérations d'arithmétique et de logique simples sur les entrées (addition, opération sur les bits). Si le résultat d'une addition est trop grand pour être codé par le processeur, un signal de débordement est positionné dans un registre d'état (voir ci-dessous le chapitre sur le codage des nombres).

La dernière étape **WRITEBACK** (écriture du résultat), écrit tout simplement les résultats de l'étape d'exécution en mémoire. Très souvent, les résultats sont écrits dans un registre interne au processeur pour bénéficier de temps d'accès très courts pour les instructions suivantes. Dans d'autres cas, les résultats sont écrits plus lentement dans des mémoires RAM, donc à moindre coût et acceptant des codages de nombres plus grands.

Certains types d'instructions manipulent le compteur de programme plutôt que de produire directement des données de résultat. Ces instructions sont appelées des sauts (jumps) et permettent de réaliser des boucles (loops), des programmes à exécution conditionnelle ou des fonctions (sous-programmes) dans des programmes³. Beaucoup d'instructions servent aussi à changer l'état de drapeaux (flags) dans un registre d'état. Ces états peuvent être utilisés pour conditionner le comportement d'un programme, puisqu'ils indiquent souvent la fin d'exécution de différentes opérations. Par exemple, une instruction de comparaison entre deux nombres va positionner un

drapeau dans un registre d'état suivant le résultat de la comparaison. Ce drapeau peut alors être réutilisé par une instruction de saut pour poursuivre le déroulement du programme.

Après l'exécution de l'instruction et l'écriture des résultats, tout le processus se répète, le prochain cycle d'instruction recherche la séquence d'instruction suivante puisque le compteur de programme avait été incrémenté. Si l'instruction précédente était un saut, c'est l'adresse de destination du saut qui est enregistrée dans le compteur de programme. Dans des processeurs plus complexes, plusieurs instructions peuvent être recherchées, décodées et exécutées simultanément, on parle alors d'architecture [pipeline](#), aujourd'hui communément utilisée dans les équipements électroniques.

Conception et implémentation

Le codage des nombres

La manière dont un CPU représente les [nombres](#) est un choix de conception qui affecte de façon profonde son fonctionnement de base. Certains des ordinateurs les plus anciens utilisaient un modèle électrique du système numérique [décimal](#) (base 10). Certains autres ont fait le choix de systèmes numériques plus exotiques comme les [systèmes trinaires](#) (base 3). Les processeurs modernes représentent les nombres dans le [système binaire](#) (base 2) dans lequel chacun des [chiffres](#) est représenté par une grandeur physique qui ne peut prendre que 2 valeurs comme une [tension électrique](#) "haute" ou "basse".

Le concept physique de tension électrique est [analogique](#) par nature car elle peut prendre une infinité de valeurs. Pour les besoins de représentation physique des nombres binaires, les valeurs des tensions électriques sont définies comme des états 1 et 0. Ces états résultent des paramètres opérationnels des éléments de commutation qui composent le processeur comme les niveaux de seuil des transistors.



Le microprocesseur [6502](#) en technologie MOS dans un boîtier [dual in-line](#) une conception très répandue.

En plus du système de représentation des nombres, il faut s'intéresser à la taille et la [précision](#) des nombres qu'un processeur peut manipuler. Dans le cas d'un processeur binaire, un "[bit](#)" correspond à une position particulière dans les nombres que le processeur peut gérer. Le nombre de bits (chiffres) qu'un processeur utilise pour représenter un nombre est souvent appelé "taille du mot" (word size, bit width, data path width) ou "précision entière" lorsqu'il s'agit de [nombres entiers](#) (à l'opposé des [nombres flottants](#)). Ce nombre diffère suivant les architectures, et souvent, suivant les différents modules d'un même processeur. Par exemple, un CPU 8-bit gère des nombres qui peuvent être représentés par 8 chiffres binaires (chaque chiffre pouvant prendre 2 valeurs), soit 2^8 ou 256 valeurs

discrètes. En conséquence, la taille du nombre entier définit une limite à la plage des nombres entiers que le logiciel exécuté par le processeur pourra utiliser.

La taille du nombre entier affecte également le nombre d'emplacements mémoire que le processeur peut adresser (localiser). Par exemple, si un processeur binaire utilise 32 bits pour représenter une adresse mémoire et que chaque adresse mémoire est représentée par un octet (8 bits), la taille mémoire maximum qui peut être adressée par ce processeur est de 2^{32} octets, ou 4 Gio. C'est une vision très simpliste de l'espace d'adressage d'un processeur et beaucoup de conceptions utilisent des types d'adressages bien plus complexes, comme la pagination, pour adresser plus de mémoire que la taille du nombre entier le leur permettrait avec un espace d'adressage à plat.

De plus grandes plages de nombres entiers nécessitent plus de structures élémentaires pour gérer les chiffres additionnels, conduisant à plus de complexité, des dimensions plus importantes, plus de consommation d'énergie et des coûts plus élevés. Il n'est donc pas rare de rencontrer des microcontrôleurs 4-bit ou 8-bit dans des applications modernes, même si des processeurs 16-bit, 32-bit, 64-bit et même 128-bit sont disponibles. Pour bénéficier des avantages à la fois des tailles d'entier courtes et longues, beaucoup de CPU sont conçus avec différentes largeurs d'entiers dans différentes parties du composant. Par exemple, le System/370 d'IBM est doté d'un CPU nativement 32-bit mais qui utilise une unité de calcul flottant (FPU) de 128-bit de précision pour atteindre une plus grande précision dans les calculs avec les nombres flottants. Beaucoup des processeurs les plus récents utilisent une combinaison comparable de taille de nombres, spécialement lorsque le processeur est dédié à un usage généraliste pour lequel il est nécessaire de trouver le juste équilibre entre les capacités à traiter les nombres entiers et les nombres flottants.

Le signal d'horloge

La plupart des processeurs, et plus largement la plupart des circuits de logique séquentielle, ont un fonctionnement synchrone par nature⁴. Cela veut dire qu'ils sont conçus et fonctionnent au rythme d'un signal de synchronisation. Ce signal, qu'on appelle généralement **signal d'horloge**, prend souvent la forme d'une onde carrée périodique. En calculant le temps maximum que prend le signal électrique pour se propager dans les différentes branches des circuits du processeur, le concepteur peut sélectionner la période appropriée du signal d'horloge.

Cette période doit être supérieure au temps que prend le signal pour se propager dans le pire des cas. En fixant la période de l'horloge à une valeur bien au-dessus du pire des cas de temps de propagation, il est possible de concevoir entièrement le processeur et la façon dont il déplace les données autour des "fronts" montants ou descendants du signal d'horloge. Ceci a pour avantage de simplifier significativement le processeur tant du point de vue de sa conception que de celui du nombre de ses composants. Par contre, ceci a pour inconvénient le ralentissement du processeur puisque sa vitesse doit s'adapter à celle de son élément le plus lent, même si d'autres parties sont

beaucoup plus rapides. Ces limitations sont largement compensées par différentes méthodes d'accroissement du parallélisme des processeurs (Voir ci-dessous).

Les améliorations d'architecture ne peuvent pas, à elles seules, résoudre tous les inconvénients des processeurs globalement synchrones. Par exemple, un signal d'horloge est sujet à des retards comme tous les autres signaux électriques. Les fréquences d'horloge plus élevées que l'on trouve dans les processeurs à la complexité croissante engendrent des difficultés pour conserver le signal d'horloge en phase (synchronisé) à travers toute l'unité centrale de traitement. En conséquence, beaucoup des processeurs d'aujourd'hui nécessitent la fourniture de plusieurs signaux d'horloge identiques de façon à éviter que le retard d'un seul signal ne puisse être la cause d'un dysfonctionnement du processeur. La forte quantité de chaleur qui doit être dissipée par le processeur constitue un autre problème majeur dû à l'accroissement des fréquences d'horloge. Les changements d'état fréquents de l'horloge font commuter un grand nombre de composants, qu'ils soient ou non utilisés à cet instant. En général, les composants qui commutent utilisent plus d'énergie que ceux qui restent dans un état statique. ainsi, plus les fréquences d'horloge augmentent et plus la dissipation de chaleur en fait autant, ce qui fait que les processeurs requièrent des solutions de refroidissement plus efficaces.

La méthode dite de clock gating permet de gérer la commutation involontaire de composants en inhibant le signal d'horloge sur les éléments choisis mais cette pratique est difficile à implémenter et reste réservée aux besoins de circuits à très faible consommation.

Une autre méthode consiste à invalider le signal global d'horloge, la consommation d'énergie et la dissipation thermique sont réduites mais la conception du circuit devient plus complexe. Certaines conceptions ont été réalisées sans signal global d'horloge, comme par exemple les familles de processeurs ARM ou MIPS, d'autres ne présentent que des parties asynchrones comme par exemple l'utilisation d'un ALU asynchrone avec un pipelining superscalaire pour atteindre des gains de performance dans les calculs arithmétiques. Il n'est pas certain qu'un processeur totalement asynchrone puisse délivrer un niveau de performance comparable ou supérieur à un processeur synchrone alors qu'il est évident qu'il sera meilleur dans les opérations mathématiques simples, il sera donc plutôt réservé aux applications embarquées (ordinateurs de poche, consoles de jeux...).

Le surfréquenceage ou surcadencage (overclocking en anglais)

L'overclocking aussi noté o/c est une méthode qui consiste pour l'utilisateur à augmenter la fréquence de l'horloge du processeur (ou, plus généralement, d'un composant) pour bénéficier de plus de performances.

Le fonctionnement des composants à une vitesse supérieure à leur vitesse nominale est possible dans certaines limites non garanties et souvent non documentées par les constructeurs. La mise au point de tels systèmes s'avère donc délicate et nécessite une démarche progressive et empirique, notamment pour la définition des moyens de refroidissement complémentaires.

Parallélisme



Modèle de processeur subscalaire : il faut 15 cycles pour exécuter trois instructions.

La description du mode de fonctionnement de base d'un processeur présentée au chapitre précédent présente la forme la plus simple que peut prendre un CPU. Ce type de processeur, appelé subscalaire, exécute une instruction sur un ou deux champs de données à la fois.

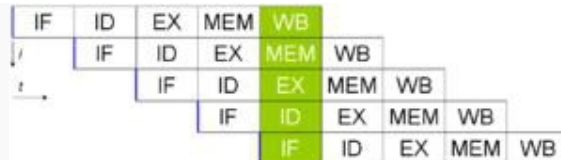
Ce processus est inefficace et inhérent aux processeurs subscalaires. Puisqu'une seule instruction n'est exécutée à la fois, tout le processeur attend la fin du traitement de cette instruction avant de s'intéresser à la suivante avec pour conséquence que le processeur reste figé sur les instructions qui nécessitent plus d'un cycle d'horloge pour s'exécuter. L'ajout d'une seconde unité de traitement (voir ci-dessous), ne permet pas d'améliorer notablement les performances, ce n'est plus une unité de traitement qui se trouve figée mais 2, en augmentant encore le nombre de transistors inutilisés. Ce type de conception, dans laquelle les ressources d'exécution du CPU ne traitent qu'une seule instruction à la fois ne peut atteindre que des performances scalaires (une instruction par cycle d'horloge), voire subscalaires (moins d'une instruction par cycle d'horloge).

En tentant d'obtenir des performances scalaires et au-delà, on a abouti à diverses méthodes qui conduisent le CPU à un comportement moins linéaire et plus parallèle. Lorsqu'on parle de parallélisme de processeur, deux termes sont utilisés pour classer ces techniques de conception :

- Instruction Level Parallelism (ILP) - Parallélisme au niveau instruction ;
- Thread Level Parallelism (TLP) - Parallélisme au niveau thread (groupe d'instructions).

L'ILP cherche à augmenter la vitesse à laquelle les instructions sont exécutées par un CPU (œst-à-dire augmenter l'utilisation des ressources d'exécution présentes dans le circuit intégré). L'objectif du TLP est d'accroître le nombre de threads que le CPU pourra exécuter simultanément. Chaque méthode diffère de l'autre d'une part, par la façon avec laquelle elle est implémentée et d'autre part, du fait de leur efficacité relative à augmenter les performances des processeurs pour une application.

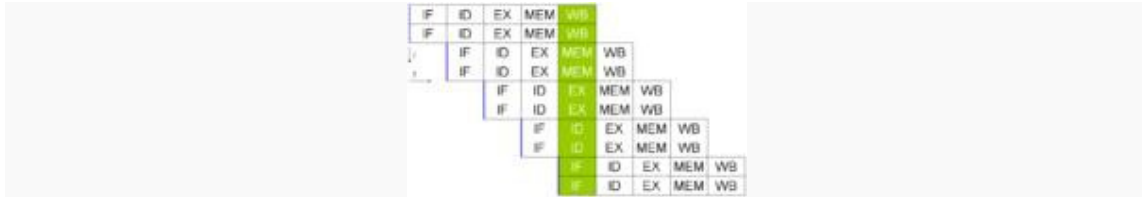
ILP : Pipelining d'instructions et architecture superscalaire



Pipeline de base à 5 étages. Dans le meilleur scénario, ce pipeline peut soutenir un taux d'exécution d'une instruction par cycle.

Une des méthodes les plus simples pour accroître le parallélisme consiste à démarrer les premières étapes de recherche (fetch) et décodage (decode) d'une instruction avant la fin d'exécution de l'instruction précédente. C'est la forme la plus simple de la technique de pipelining, elle est utilisée dans la plupart des processeurs modernes non spécialisés. Le pipelining permet d'exécuter plus d'une instruction à la fois en décomposant le chemin d'exécution en différentes étapes. Ce découpage peut être comparé à une chaîne d'assemblage.

Le pipelining peut créer des conflits de dépendance de données, lorsque le résultat de l'opération précédente est nécessaire à l'exécution de l'opération suivante. Pour résoudre ce problème, un soin particulier doit être apporté pour vérifier ce type de situation et retarder, le cas échéant, une partie du pipeline d'instruction. Naturellement, les compléments de circuits à apporter pour cela ajoutent à la complexité des processeurs parallèles. Un processeur parallèle peut devenir presque scalaire, ralenti uniquement par les attentes du pipeline (une instruction prend moins d'un cycle d'horloge par étape).



Pipeline superscalaire simple. En recherchant et affectant deux instructions à la fois, le CPU peut exécuter un maximum de deux instructions par cycle.

Les développements suivants du pipelining ont conduit au développement d'une méthode qui diminue encore plus les temps d'attente des composants du processeur. Les conceptions dites superscalaires comportent un pipeline à instruction longue et plusieurs unités d'exécution identiques^[réf. ?]. Dans un pipeline superscalaire, plusieurs instructions sont lues et transmises à un répartisseur qui décide si les instructions seront exécutées en parallèle (simultanément) ou non. Le cas échéant, les instructions sont réparties sur les unités d'exécution disponibles. En général, plus un processeur superscalaire est capable d'exécuter d'instructions en parallèle et plus le nombre d'instructions exécutées dans un cycle sera élevé.

La plupart des difficultés rencontrées dans la conception des architectures de processeurs superscalaires résident dans la mise au point du répartisseur. Le répartisseur doit être disponible rapidement et être capable de déterminer sans erreur si les instructions peuvent être exécutées en parallèle, il doit alors les distribuer de façon à charger les unités d'exécution autant qu'il est possible. Pour cela, le pipeline d'instructions doit être rempli aussi souvent que possible, créant le besoin d'une quantité importante de mémoire cache. Les techniques de traitement aléatoire comme la prédiction de branchement, l'exécution spéculative et la résolution des dépendances aux données deviennent cruciales pour maintenir un haut niveau de performance. En tentant de prédire quel branchement (ou chemin) une instruction conditionnelle prendra, le processeur peut minimiser le nombre de fois que

tout le pipeline doit attendre jusqu'à la fin d'exécution de l'instruction conditionnelle. L'exécution spéculative améliore les performances modestes en exécutant des portions de code qui seront, ou ne seront pas, nécessaires à la suite d'une instruction conditionnelle. La résolution de la dépendance aux données est obtenue en réorganisant l'ordre dans lequel les instructions sont exécutées en optimisant la disponibilité des données.

Lorsque seule une partie de processeur est superscalaire, la partie qui ne l'est pas rencontre des problèmes de performance dus aux temps d'attente d'ordonnancement. Le [Pentium](#) original (P5) disposait de 2 ALU superscalaires qui pouvaient chacune accepter une instruction par cycle. Ensuite le P5 est devenu superscalaire pour les calculs sur les nombres entiers mais pas sur les nombres à virgule flottante. Les successeurs des architectures Pentium d'Intel, les P6, ont été dotés de capacités superscalaires pour les calculs sur les nombres à virgule flottante améliorant par là leurs performances en calcul flottant.

Les conceptions de pipelining simple et superscalaires augmentent le parallélisme (ILP) des CPU en permettant à un processeur unique d'exécuter des instructions à un rythme de plus d'une instruction par cycle. La plupart des processeurs d'aujourd'hui ont au moins une partie superscalaires. Au cours des dernières années, certaines évolutions dans la conception des processeurs à fort parallélisme ne se trouvent plus dans les circuits du processeur mais ont été placées dans le logiciel ou dans son interface avec le logiciel ([ISA](#)). La stratégie des instructions très longues ([very long instruction word](#)) conduit à implémenter certains parallélismes directement dans le logiciel, cela réduit la participation du processeur au gain de performance mais en réduit la complexité.

TLP : Exécution simultanée de programmes

Une autre stratégie communément employée pour augmenter le parallélisme des processeurs consiste à introduire la capacité d'exécuter plusieurs programmes ([threads](#)) simultanément. De manière générale, les processeurs multi-threads ont été utilisés plus longtemps que les processeurs à architecture pipeline. Bon nombre des conceptions pionnières, réalisées par la société [Cray Research](#), datant de la fin des [années 1970](#) et des [années 1980](#), mettaient en œuvre principalement la méthode TLP, dégageant alors de très grandes capacités de calcul (pour l'époque). En fait, le multithreading était connu dès les [années 1950](#) (Réf : Smotherman 2005). Dans le cas des processeurs simples, les 2 méthodologies principales employées pour développer des TLP sont le multiprocessing au niveau des circuits (Chip-level multiprocessing - CMP) et le multithreading simultané (Simultaneous multithreading - [SMT](#)). À un plus haut niveau, il est d'usage de réaliser des ordinateurs avec plusieurs processeurs totalement indépendants dans des organisations de type symétrique (symetric multiprocessing - [SMP](#)) ou à accès mémoire non uniforme (non uniform memory access - [NUMA](#)). Alors que ces techniques diffèrent par les moyens qu'elles mettent en œuvre, elles visent toutes le même but : augmenter le nombre de threads qu'un processeur peut exécuter en parallèle.

Les méthodes de parallélisme CMP et SMP sont assez semblables, elles demandent plus d'effort de conception que l'utilisation de 2 ou 3 processeurs totalement indépendants. Dans le cas du CMP, [plusieurs c urs](#) (core, en anglais) de processeurs sont intégrés dans le même boîtier, parfois même dans le même circuit intégré. Les SMP, eux, utilisent plusieurs boîtiers indépendants. NUMA est comparable au CMP mais met en œuvre un modèle d'accès mémoire non uniforme (les temps d'accès sont différents suivant que la mémoire est locale ou non locale à un processeur donné). Cette caractéristique est fondamentale dans les ordinateurs à plusieurs processeurs car pour les modèles SMP à mémoire partagée, les temps d'accès à la mémoire sont rapidement dégradés en cas d'accès simultané par plusieurs processeurs. À ce titre, NUMA est considéré comme un modèle plus évolutif en nombre de processeurs.

SMT diffère des autres améliorations de TLP puisqu'il vise à dupliquer aussi peu de portions de CPU que possible. La mise en œuvre d'une stratégie de type TLP ressemble à une architecture superscalaire et se trouve souvent utilisée dans les microprocesseurs superscalaires (comme les [POWER5](#) d'[IBM](#)). Plutôt que de dupliquer un CPU complet, la conception SMT ne duplique que les parties nécessaires pour la recherche (fetch), le décodage, (decode) et la répartition des instructions (dispatch) ainsi que les registres non spécialisés. Ceci permet à un processeur SMT de maintenir ses unités d'exécution occupées plus souvent, en leur fournissant des instructions en provenance de 2 programmes différents. Comme on vient de la voir, le SMT est proche de l'architecture ILP superscalaire mais, plutôt que d'exécuter simultanément plusieurs instructions en provenance **de 2 programmes différents**, elle permet d'exécuter simultanément plusieurs instructions en provenance **du même programme**.

Description

Jusqu'au début des années [1970](#), les différents [composants électroniques](#) formant un processeur ne pouvaient tenir sur un seul circuit intégré. On devait donc les placer sur plusieurs circuits intégrés. En 1971, la société américaine [Intel](#) a réussi, pour la première fois, à placer tous les transistors qui constituent un processeur sur un seul circuit intégré donnant ainsi naissance au microprocesseur.

Cette miniaturisation a permis :

- d'augmenter les vitesses² de fonctionnement des processeurs, grâce à la réduction des distances entre les composants entre autres ;
- de réduire les coûts, grâce au remplacement plusieurs circuit par un seul entre autres ;
- d'augmenter la fiabilité : en supprimant les connexions entre les composants du processeur, on supprime l'un des principaux vecteurs de panne ;
- de créer des ordinateurs bien plus petits : les [micro-ordinateurs](#) ;

- de réduire la consommation énergétique².

Les principales caractéristiques d'un microprocesseur sont :

- Le jeu d'instructions qu'il peut exécuter. Voici quelques exemples d'instructions que peut exécuter un microprocesseur : additionner deux nombres, comparer deux nombres pour déterminer s'ils sont égaux, comparer deux nombres pour déterminer lequel est le plus grand, multiplier deux nombres,... Un processeur peut exécuter plusieurs dizaines d'instructions différentes.
- La complexité de son architecture. Cette complexité se mesure par le nombre de transistors contenus dans le microprocesseur. Plus le microprocesseur contiendra de transistors, plus il pourra effectuer des opérations complexes, et/ou traiter des chiffres de grande taille.
- Le nombre de bits que le processeur peut traiter ensemble. Les premiers microprocesseurs ne pouvaient traiter plus de 4 bits d'un coup. Ils devaient donc exécuter plusieurs instructions pour additionner des nombres de 32 ou 64 bits. Les microprocesseurs actuels (en 2007) peuvent traiter des nombres sur 64 bits ensemble. Le nombre de bits est en rapport direct avec la capacité à traiter de grands nombres rapidement, ou des nombres d'une grande précision (nombres de décimales significatives),
- La vitesse de l'horloge. Le rôle de l'horloge est de cadencer le rythme du travail du microprocesseur. Plus la vitesse de l'horloge augmente, plus le microprocesseur effectue de calculs en une seconde.

Tout ceci est théorique, dans la pratique, selon l'architecture du processeur, le nombre de cycles d'horloge pour réaliser une opération élémentaire peut varier d'un cycle à plusieurs dizaines par unité d'exécution (typiquement une sur un processeur classique).

Par exemple, un processeur **A** à 400 MHz peut être plus rapide qu'un autre **B** tournant lui à 1 GHz, tout dépend de leurs architectures respectives.

La combinaison des caractéristiques précédentes détermine la puissance du microprocesseur. La puissance d'un microprocesseur s'exprime en MIPS. Dans les années 1970, les microprocesseurs effectuaient moins d'un million d'instructions par seconde, les processeurs actuels (en 2007) peuvent effectuer plus de 10 milliards d'instructions par seconde.

Histoire

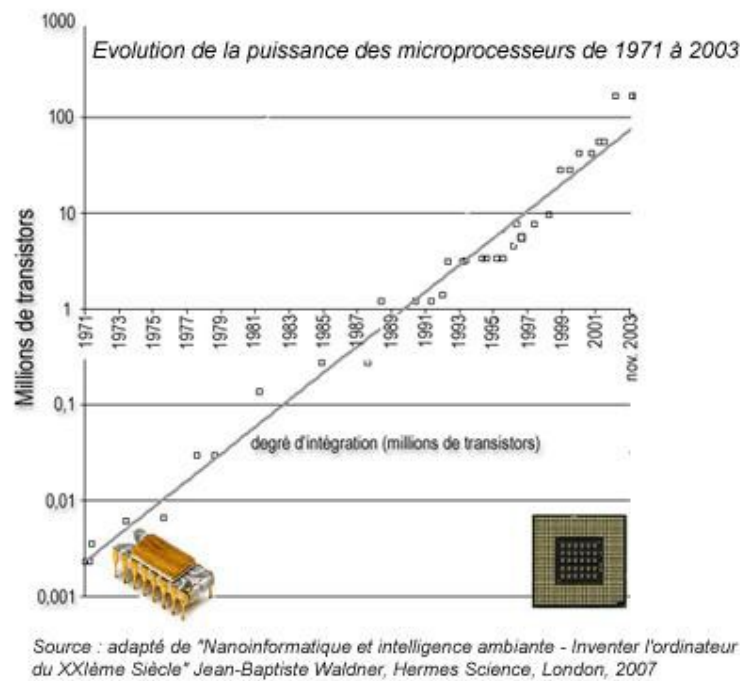


Illustration de la loi dite de « progression géométrique » qui régit l'évolution du nombre de transistors sur les puces de silicium. Source : adapté de "Nanoinformatique et intelligence ambiante - Inventer l'ordinateur du XXI^e siècle" Jean-Baptiste Waldner, Hermes Science, London, 2007 (avec la permission de l'auteur).

Le microprocesseur a été inventé par Marcian Hoff (surnommé Ted Hoff) en 1971, alors qu'il était ingénieur chez Intel.

En 1990, Gilbert Hyatt a revendiqué la paternité du microprocesseur en se basant sur un brevet qu'il avait déposé en 1970. La reconnaissance de l'antériorité du brevet de Hyatt lui aurait permis de réclamer des redevances sur tous les microprocesseurs fabriqués de par le monde. Cependant, le brevet de Hyatt a été invalidé en 1995 par l'office américain des brevets sur la base du fait que le microprocesseur décrit dans la demande de brevet n'avait pas été réalisé et n'aurait d'ailleurs pas pu l'être avec la technologie disponible au moment du dépôt du brevet. Il semble que Gilbert Hyatt n'ait pas abandonné et espère faire revoir cette décision.

Le premier microprocesseur commercialisé, le 15 novembre 1971, est l'Intel 4004 4-bits. Il fut suivi par l'Intel 8008. Ce microprocesseur a servi initialement à fabriquer des contrôleurs graphiques en mode texte, mais jugé trop lent par le client qui en avait demandé la conception, il devint un processeur d'usage général. Ces processeurs sont les précurseurs des Intel 8080, Zilog Z80, et de la future famille des Intel x86.

Le tableau suivant décrit les principales caractéristiques des microprocesseurs fabriqués par Intel et montre la fulgurante évolution des microprocesseurs autant en augmentation du nombre de transistors, en miniaturisation des circuits et en augmentation de puissance.

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

Date	Nom	Nombre de transistors	Finesse de gravure (µm)	Fréquence de l'horloge	Largeur des données	MIPS
1971	4004	2 300		108 kHz	4 bits/4 bits bus	
1974	8080	6 000	6	2 MHz	8 bits/8 bits bus	0,64
1979	8088	29 000	3	5 MHz	16 bits/8 bits bus	0,33
1982	80286	134 000	1,5	6 MHz	16 bits/16 bits bus	1
1985	80386	275 000	1,5	16 à 40 MHz	32 bits/32 bits bus	5
1989	80486	1 200 000	1	16 à 100 MHz	32 bits/32 bits bus	20
1993	Pentium	3 100 000	0,8 à 0.28	60 à 233 MHz	32 bits/64 bits bus	100
1997	Pentium II	7 500 000	0,35 à 0.25	233 à 450 MHz	32 bits/64 bits bus	300
1999	Pentium III « !!! »	9 500 000	0,25 à 0.13	450 à 1400 MHz	32 bits/64 bits bus	510
2000	Pentium 4	42 000 000	0,18 à 0.065	1,3 à 3.8 GHz	32 bits/64 bits bus	1 700
2004	Pentium 4D « Prescott »	125 000 000	0,09 à 0.065	2.66 à 3.6 GHz	32 bits/64 bits bus	9 000

Tél : (00229) 96 15 81 18

E-mail : cyze2002@yahoo.fr / cyze2002@hotmail.com

CYZE PRODUCTION

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

2006	Core 2 Duo	291 000 000	0,065	2,4 GHz (E6600)	64 bits/64 bits bus	22 000
2007	Core 2 Quad	2*291 000 000	0,065	3 GHz (Q6850)	64 bits/64 bits bus	2*22 000 (?)
2008	Core 2 Duo (Penryn)	410 000 000	0,045	3,33 GHz (E8600)	64 bits/64 bits bus	~24 200
2008	Core 2 Quad (Penryn)	2*410 000 000	0,045	3,2 GHz (QX9770)	64 bits/64 bits bus	~2*24 200
2008	Intel Core i7 (Nehalem)	731 000 000	<div>0,045 (2008)</div> <div>0,032 (2009)</div>	<div>2,66 GHz (Core i7 920)</div> <div>3,33 GHz (Core i7 Ext. Ed. 975)</div>	64 bits/64 bits bus	?
2009	Intel Core i5/i7 (Lynnfield)	774 000 000	0,045 (2009)	<div>2,66 GHz (Core i5 750)</div> <div>2,93 GHz (Core i7 870)</div>	64 bits/64 bits bus	?

Date : l'année de commercialisation du microprocesseur.

Nom : le nom du microprocesseur.

Nombre de transistors : le nombre de transistors contenus dans le microprocesseur.

Finesse de gravure (µm) : le diamètre (en micromètres) du plus petit fil reliant deux composantes du microprocesseur. En comparaison, l'épaisseur d'un cheveu humain est de 100 microns.

Fréquence de l'horloge : la fréquence de l'horloge de la carte mère qui cadence le microprocesseur.

MHz = millions de cycles par seconde. GHz = milliards de cycles par seconde.

Largeur des données : le premier nombre indique le nombre de bits sur lequel une opération est faite. Le second nombre indique le nombre de bits transférés à la fois entre la mémoire et le microprocesseur.

MIPS : le nombre de millions d'instructions complétées par le microprocesseur en une seconde.



Microprocesseur PowerPC 4755.



Microprocesseur ARM60.



Microprocesseur Intel Core 2 Duo.

Familles de microprocesseurs

Une famille de microprocesseurs est l'ensemble des modèles de microprocesseurs qui peuvent exécuter le même [jeu d'instructions](#) de base. Ce jeu d'instructions est un minimum commun et souvent les processeurs les plus récents d'une famille présentent de nouvelles instructions qui ne sont pas toujours mises à profit par souci de compatibilité avec les autres processeurs de la famille. Par exemple le code actuel dit x86 est souvent du code pour 80386 qui permet la protection mémoire et qui ne fonctionnerait pas sur des processeurs antérieurs au 80386 (par exemple 8086 et 80286), mais qui fonctionne parfaitement (performances mises à part) sur les processeurs plus récents (par exemple un Core Duo d'Intel ou un Athlon d'AMD).

Il existe plusieurs familles de microprocesseurs :

- La famille la plus connue par le grand public est la famille x86, développée principalement par les entreprises Intel (fabricant du Pentium), AMD (fabricant du Athlon), VIA et Transmeta. Les deux premières entreprises dominent maintenant le marché et elles fabriquent la plus grande partie des microprocesseurs pour micro-ordinateurs compatibles PC. Intel fournit également les microprocesseurs pour les micro-ordinateurs Macintosh depuis 2006.
- Les microprocesseurs PowerPC d'IBM et de Motorola équipaient jusqu'en 2006 les micro-ordinateurs Macintosh (fabriqués par Apple). Ces microprocesseurs sont aussi utilisés dans les serveurs de la série p d'IBM et dans divers systèmes embarqués. Dans le domaine des consoles de jeu, des microprocesseurs dérivés du PowerPC équipent la Wii (Broadway), la GameCube (Gekko), Xbox 360 (dérivé à trois c urs nommé Xenon). La Playstation 3 est équipée du microprocesseur Cell, dérivé du POWER4, une architecture proche de PowerPC.
- Le microprocesseur 6502 de la compagnie MOS Technology a servi à fabriquer le célèbre Apple II.
- Le microprocesseur Zilog Z80 a été largement utilisé dans les années 1980 dans la conception des premiers micro-ordinateurs personnels 8 bits comme le Radio Shack TRS-80, les Sinclair ZX80, ZX81, ZX Spectrum, les Apple II grâce à une carte fille, le standard MSX, les Amstrad CPC et plus tard dans les systèmes embarqués.
- La famille 6800 de la compagnie Motorola.
- La famille 68000 de Motorola animait les anciens Macintosh, les Megadrive, les Atari ST et les Commodore Amiga. Leurs dérivés (Dragonball, ColdFire) sont toujours utilisés dans des systèmes embarqués.

Parmi les familles moins connues du grand public :

- La famille Sparc anime la plus grande partie des serveurs et stations de travail de Sun Microsystems, bien que de plus en plus de nouveaux produits soient réalisés à base de x86.
- La famille PA-RISC de HP et VLSI Technology, anime les anciens serveurs et stations de travail de HP, remplacée aujourd'hui par la famille IA-64
- La famille IA-64 de HP et Intel, apporte l'architecture 64 bits aux serveurs et stations de travail de HP
- La famille MIPS anime les stations de travail de Silicon Graphics, des consoles de jeux comme les PSone, les Nintendo 64 et des systèmes embarqués, ainsi que

des [routeursCisco](#). C'est la première famille à proposer une architecture 64 bits avec le R4000 en 1991. Les processeurs du fondeur chinois [Loongson](#), sont une nouvelle génération basées sur les technologies du MIPS, utilisés dans des supercalculateurs et des ordinateurs faible consommation.

- La famille [ARM](#) est de nos jours utilisée uniquement dans les [systèmes embarqués](#), dont de nombreux [PDA](#) et [Smartphones](#), elle a précédemment été utilisée par [Acorn](#) pour ses [Archimedes](#) et [RiscPC](#).
- La famille [DEC Alpha](#) animait les ordinateurs [DEC](#), repris par [Compaq](#) puis par [HP](#) qui l'a définitivement arrêtée.

Fonctionnement

Les microprocesseurs sont cadencés par une [horloge](#) (signal régulier, imposant un rythme au circuit et, permettant une synchronisation avec d'autres composants, tel que la mémoire). Au milieu des [années 1980](#), les microprocesseurs fonctionnaient de 4 à 8 [MHz](#). Courant [2004](#), cette vitesse d'horloge atteint 4 GHz pour les modèles commerciaux (5 GHz en [laboratoire](#)). Plus la vitesse de l'horloge est élevée, plus le microprocesseur peut exécuter à un rythme élevé les instructions de base des programmes. L'augmentation de la vitesse d'horloge présente des inconvénients : plus elle est élevée, plus le processeur consomme d'électricité, et plus il chauffe; Cela implique d'avoir une solution de refroidissement du processeur adapté. Il faut aussi prendre en compte le fait que plus un [transistor commute](#) vite, moins son fonctionnement est stable (sûr).

Les microprocesseurs actuels sont optimisés pour exécuter plus d'une instruction par [cycle](#) d'horloge, ce sont des microprocesseurs avec des unités d'exécution parallélisées. De plus ils sont dotés de procédures qui « anticipent » les instructions suivantes avec l'aide de la statistique.

Dans la course à la puissance des microprocesseurs, deux méthodes d'optimisation sont en concurrence :

1. La technologie du jeu d'instructions simplifié ([RISC](#), Reduced Instruction Set Computer), rapide avec des instructions simples de taille standardisée, facile à fabriquer et dont on peut monter la vitesse de l'horloge sans trop de difficultés techniques.
2. La technologie appelée [CISC](#) (Complex Instruction Set Computer), dont chaque instruction complexe nécessite plus de cycles d'horloge, mais qui a en son c ur beaucoup d'instructions pré-câblées.

Néanmoins, avec la considérable diminution de la taille des puces électroniques et la gigantesque accélération des fréquences d'horloge, la distinction entre RISC et CISC a quasi complètement disparu. Là où des familles tranchées existaient, on observe aujourd'hui des microprocesseurs où une

structure interne RISC apporte de la puissance tout en restant compatible avec une utilisation de type CISC (la famille Intel x86 a ainsi subi discrètement une transition entre une organisation initialement très typique d'une structure CISC. Actuellement elle utilise un cur RISC très rapide, s'appuyant sur un système de réarrangement du code à la volée) mis en uvre, en partie, grâce à des mémoires cache de plus en plus étendues, comportant jusqu'à trois niveaux.

Structure d'un microprocesseur

L'unité centrale d'un microprocesseur comprend essentiellement :

- une unité arithmétique et logique (UAL) qui effectue les opérations ;
- des registres qui permettent au microprocesseur de stocker temporairement des données ;
- une unité de contrôle qui commande l'ensemble du microprocesseur en fonction des instructions du programme.

Certains registres ont un rôle très particulier :

- le registre indicateur d'état (flags), ce registre donne l'état du microprocesseur à tout moment, il peut seulement être lu ;
- le compteur de programme (PC, Program Counter), il contient l'adresse de la prochaine instruction à exécuter ;
- le pointeur de pile (SP, Stack Pointer), c'est le pointeur d'une zone spéciale de la mémoire appelée pile où sont rangés les arguments des sous-programmes et les adresses de retour.

Seul le Program Counter est indispensable, il existe de (rares) processeurs ne comportant pas de registre d'état ou pas de pointeur de pile (par exemple le NS32000).

L'unité de contrôle peut aussi se décomposer :

- le registre d'instruction, mémorise le code de l'instruction à exécuter ;
- le décodeur décode cette instruction ;
- le séquenceur exécute l'instruction, c'est lui qui commande l'ensemble des organes du microprocesseur.

Article détaillé : [Architecture des processeurs](#).

Overclocking

Principe

On peut traduire overclocking en français par le terme **surcadencage**. Overclocker un processeur (quel que soit son type : graphique GPU, DSP, processeur principal, etc.) consiste à faire fonctionner ce composant à une vitesse supérieure à la vitesse de fonctionnement normale, vitesse pour laquelle son fabricant garantit un bon fonctionnement. On comprend donc assez rapidement l'intérêt

d'overclocker son processeur ou sa carte graphique surtout quand on sait que le gain peut atteindre jusqu'à 10~20% pour la plupart des processeurs. Les Core 2 Duo (et dans une moindre mesure les Core 2 Quad, du fait de leur dissipation thermique élevée) se distinguent du reste des processeurs par leur capacités d'overclocking incroyables : +30% pour l'immense majorité des C2D sans effort, jusqu'à +50% en prenant le temps de régler correctement tous les paramètres, et plus encore en utilisant des systèmes de refroidissement plus évolués (radiateurs haut de gamme plus ventilation, refroidissement par circulation de liquide [-watercooling-](#), ou même [azote liquide](#) pour aller jusqu'à doubler la fréquence initiale du processeur).

Augmenter la fréquence du processeur augmente en fait la vitesse du bus de données principal de la machine (FSB), et donc accélère tous les composants branchés sur la carte mère. La fonction PCI-Lock, présente sur absolument toutes les cartes mères récentes, permet d'éviter ce problème et limite l'augmentation de fréquence au processeur et à la mémoire.

Risques et dangers

Le principal risque de l'overclocking est de détruire le processeur par application d'une tension d'alimentation trop importante (Vcore), d'une température trop élevée au niveau du c ur, ou encore de courant de fuite inter-transistor trop important. Dans le passé, les processeurs risquaient également de brûler si la température devenait trop élevée, mais actuellement absolument tous les processeurs sont équipés d'un système de sonde qui coupe automatiquement le système si la température dépasse les limites fixées par le constructeur (coupure automatique sur les C2D et C2Q à 120/125°C). Le bon fonctionnement de ce coupe circuit est garanti dans la cadre d'une utilisation normale du processeur. Le fait d'utiliser le processeur à une fréquence supérieure a également une influence sur sa durée de vie (20 ans en moyenne), même si on considère en général que la réduction est négligeable comparé au temps de vie d'un processeur (rarement plus de 5 ans).

Si toutefois la puce n'est pas détruite par l'overclocking, il existe un risque accru de faute de calcul et/ou de d'apparition d'[artefacts](#) durant un traitement, ce qui peut avoir diverses conséquences suivant l'utilisation du processeur au moment de l'apparition de l'artefact, on peut citer pour l'exemple:

- Apparition de taches sur des images,
- Déclenchement intempestif d'une alarme,
- Instabilité/Blocage/Destruction de l'[OS](#) suite à des écritures corrompues,
- Erreurs de calculs du type $1 + 1 = 3$,
- ...

Refroidissement du processeur

Le problème le plus important de l'overclocking est donc le refroidissement du processeur.

- Le système le plus couramment utilisé est le ventilateur monté sur un radiateur (le radiateur est une plaque de métal comportant des ailettes qui permet d'améliorer les échanges de température entre le processeur sur lequel il est monté et l'air ambiant). Le ventilateur peut aussi être monté directement sur le processeur, mais le refroidissement sera moins bon; parfois une petite plaque de métal intercalée entre le ventilateur et le processeur aide à dissiper la chaleur du processeur. Le ventilateur doit être le plus volumineux possible pour permettre un brassage d'air important qui contribuera aussi à la ventilation du boîtier...
- L'aération est, elle aussi, très importante car c'est le brassage de l'air du boîtier qui va permettre d'évacuer la chaleur, que les éléments ont fourni à l'air, à l'extérieur. C'est pour cela qu'un boîtier "ordonné" permet de minimiser les obstacles à la ventilation. En effet les nappes des disques dur, avec par exemple les nappes PATA (IDE), qui sont très larges, si elles sont situées devant un élément qui chauffe (devant le processeur par exemple) vont nuire à la circulation d'air et risquent de provoquer une surchauffe (même pour un processeur non-overclocké) ; ce problème est rendu négligeable par l'utilisation de nappes Serial-ATA très fines (de 0,5 à 1 cm).Nouvellement, des nappes Pata "rondes" ont fait surface améliorant la ventilation dans les boîtiers encore équipés en IDE
- On peut trouver de plus en plus de systèmes de refroidissement de processeur par liquide (Watercooling). Ces systèmes plus coûteux que les précédents ont l'avantage de mieux refroidir. Ils sont surtout utilisés lors de sur-fréquence et ils sont aussi plus silencieux. Attention tout de même à la place nécessaire dans l'unité centrale, certains kits de fabricants proposent même de pouvoir refroidir divers élément de l'ordinateur : (carte graphique, mémoire vive, etc...).

Fabrication des microprocesseurs

La fabrication d'un microprocesseur est essentiellement identique à celle de n'importe quel [circuit intégré](#) (voir le chapitre à ce sujet). Elle suit donc un procédé complexe. Mais l'énorme taille de la plupart des microprocesseurs a tendance à augmenter encore le coût de l'opération.

La [loi de Moore](#), qui indique que le degré d'intégration des microprocesseurs double tous les 18 mois, indique également que les coûts de production doublent en même temps que le degré d'intégration.

La fabrication des microprocesseurs est aujourd'hui considérée comme l'un des deux facteurs d'augmentation de la capacité des unités de fabrication (avec les contraintes liées à la fabrication des mémoires à grande capacité). La finesse de la gravure industrielle atteint désormais 45 nm. Cela fixe la vitesse de traitement maximale d'un microprocesseur aux alentours de 4GHz. En diminuant encore la finesse de gravure, les fondeurs se heurtent aux règles perturbantes de la [Mécanique quantique](#) qui bouleversent les résultats des calculs.

Fonctions à développer

Organisation parallèle

Selon le [système d'exploitation](#), la tendance actuelle est l'installation de plusieurs processeurs parallèles et de multiples tâches d'où l'importance grandissante des fonctions d'arbitrages entre processus (par exemple l'hyper threading). En effet, l'architecture super scalaire (mise en parallèle des tâches dans une unité d'exécution) des processeurs actuels ne suffit actuellement plus au multi-threading tel qu'il est utilisé.

En revanche, les processeurs à plusieurs [c urs](#) demandent que soit étudié de près la [répartition](#) des tâches entre eux si on ne veut pas voir observer un ralentissement des opérations; c'est ce qu'on nomme l'affinité du processeur (processor affinity).

Sécurité et location

Il existe de nombreux projets d'intégration au c ur des microprocesseurs de fonctions visant à empêcher les copies illégales de fichiers (technologies [DRM](#)). Le consortium [Trusted Computing Group](#), notamment, a déjà créé des puces permettant de créer une "zone de confiance" au sein du système informatique, à l'aide d'une puce d'identification spécifique. Certains modèles d'ordinateurs, comme les portables d'IBM intègrent déjà de telles puces. La prochaine génération de cette technologie sera probablement intégrée dans les processeurs centraux des ordinateurs.

Ces technologies sont décriées, notamment par des partisans du [logiciel libre](#), pour qui elles possèdent un potentiel liberticide. En effet, conjuguées à un [système d'exploitation](#) prévu à cet effet, par exemple dérivé du projet [NGSCB](#) de [Microsoft](#), ce type de technologie permet au [tiers de confiance](#) (le prestataire qui va vérifier la validité des composants du système) d'accéder à distance au contenu de l'ordinateur, voire d'empêcher l'exécution de certaines opérations sur celui-ci. [Linus Torvalds](#) estime inapproprié de comparer un [logiciel](#) à un [contenu](#), et approuve totalement la protection des contenus par leurs propriétaires, bien qu'il considère que celle des logiciels ne soit pas une bonne idée pour ceux qui la pratiquent.

Mémoire étendue

Ancien système d'extension de la mémoire permettant de dépasser la limite de 1 Mio du microprocesseur 8086 de l'époque. Cette mémoire était accessible par pages de 64 Kio. On ne l'utilise plus de nos jours en raison des capacités d'adressages étendues des processeurs récents ainsi qu'en raison de l'extrême lenteur des accès aléatoires dès que ceux-ci nécessitent un changement de page mémoire.

Systèmes d'exploitation multiple

Vanderpool/Silverdale : si un système d'exploitation de travail est infecté par un virus coriace, un autre de préférence sur une autre base comme [Linux](#) vers [Mac OS](#) ou [Windows](#) pourrait agir comme gardien et désinfecter le premier tout en ne laissant pas la possibilité au virus de se propager.

Anticipation des problèmes et gestion à distance

Particulièrement utile pour les serveurs.

Le problème de l'échauffement

L'échauffement des microprocesseurs reste approximativement et malgré l'usage de techniques de gravures de plus en plus fines, proportionnel au carré de leur tension à architecture donnée. Avec V la tension, f la fréquence, et k un coefficient d'ajustement, on peut calculer la puissance dissipée P :

$$P = k \times V^2 \times f$$

- Un i686 à 1 GHz (1,7 V), deux fois plus rapide, consomme typiquement 34 W, ce qui n'est pas loin du quadruple.
- À 2 GHz un Opteron dissipe 107 W et un G5 55 W.

Ce problème est lié à un autre, celui de la dissipation thermique et donc souvent des ventilateurs, sources de nuisances sonores difficilement compatibles avec un environnement de bureau. Le refroidissement liquide (à eau) est proposé.

- L'utilisation d'une pâte thermique assure une meilleure conduction de la chaleur du processeur vers le radiateur, une des plus connues étant l'Artic silver 5.
- Un microprocesseur contenant beaucoup de transistors verra sa puissance dépendre fortement de la température. Ceci est dû aux mouvements de plus en plus aléatoires des électrons en fonction de la hausse de la température.
- Si l'échauffement ne pose pas de problème majeur pour des applications type ordinateur de bureau, il en pose pour toutes les applications portables. Il est techniquement facile d'alimenter et de refroidir un ordinateur fixe. Pour les applications portables, ce sont deux problèmes délicats. Le téléphone portable, l'ordinateur portable, l'appareil photo numérique, le PDA, le baladeur MP3 ont une batterie qu'il s'agit de ménager pour que l'appareil portable ait une meilleure autonomie. De même vous ne pourrez pas rajouter un ventilateur ou envisager un refroidissement liquide sur certaines applications portables. C'est pourquoi certains fabricants proposent des solutions "low power", qui consomment moins d'énergie mais fonctionnement souvent à fréquences limitées.

Liste de microprocesseurs

Voici une **liste de microprocesseurs**, avec les fabricants, les **ordinateurs** dans lesquels ils ont été utilisés et leurs fréquences d'utilisation :

- Intel (avant le 8088)
 - **4004** : 4 bits CISC
 - **4040** : 4 bits CISC
 - **8008** : 8 bits CISC
 - **8080** : 8 bits CISC
 - **8085** : 8 bits CISC
- **Zilog Z80** : 8 bits CISC (le processeur 8-bit le plus répandu au monde pendant toute sa vie, à l'origine de nombreux ordinateurs personnels dans les années 80, comme les machines **Sinclair**, les **Amstrad CPC** et **PCW**, les consoles de jeux **Sega Master System**...)
- **Zilog Z8000** : famille de microprocesseurs 16 bits composée du z8001 (capable d'adresser 8 Mo de mémoire et le z8002 (64 Ko).
- **Zilog Z80000** : 32 bits.
- Famille 6800 : 8 bits CISC
 - **6800**
 - 6803 (présent dans les micro ordinateurs **alice** vendus à l'époque (années 80) par Matra&Hachette)
 - **6809** (présents sur les ordinateurs des années 80 commercialisé par **Thomson** et équipant les écoles en France: **MO5**, MO6, **TO7**, TO8, etc.)
- Famille 6502 (**MOS Technology** créé par **Chuck Peddle**, seconde source: **Western Design Center**) : 8 bits CISC (premier processeur bon marché (à son lancement de l'ordre de 5 US\$ contre 25 US\$ pour les concurrents)
 - **6502** (processeur de l'**Apple II**, **Vic20**, **Commodore 64**, et plein d'autres machines, y compris à laver...)
 - **6507**
 - 6509
 - 6510
 - 8501
 - 65c816 (processeur 16 bit de l'Apple IIgs et de la Super Nintendo)
- Famille 68000 de **Motorola**
 - **68000** : 16-32 bits CISC (processeur du premier Macintosh d'Apple, des **Amiga**, **Atari ST**, des consoles de jeux **Sega Megadrive** et **SNK Neo-Geo**...)
 - **68008** : 8-32 bits CISC
 - **68010** : 16-32 bits CISC

- [68020](#) : 32 bits CISC
- [68030](#) : 32 bits CISC
- [68040](#) : 32 bits CISC
- [68060](#) : 32 bits CISC
- ColdFire : 16 bits CISC
- [DragonBall](#) : 16 bits CISC ([Palm](#))
- Famille 88000 (Motorola) : 32 bits [RISC](#)
 - [88100](#)
- Famille RISC d'[Intel](#) : 32 bits RISC
 - [i860](#) (a eu peu de succès, probablement en partie à cause de la compétition interne produite par l'i960)
 - [i960](#) (a eu peu d'applications visibles du grand public ; mais très présent sur les marchés militaires et les fonctions graphiques et les imprimantes de haut de gamme)
- Famille [x86](#) ([Intel](#) et autres). La famille de processeur des PC.
 - [8086](#) (clones fabriqués par [NEC](#)) : 16 bits CISC
 - [8088](#) : 8-16 bits CISC (le processeur de l'IBM PC).
 - [80186](#) : 16 bits CISC
 - [80188](#) : 8-16 bits CISC
 - [80286](#) : 16 bits CISC (16 bits de données, 20 bits d'[adresse](#) (jusqu'à 64 [K segments](#) de 64 [Ko](#) de taille maximum.))
 - [80386](#) (clones fabriqués par [AMD](#) et [Cyrix](#)) : 32 bits CISC
 - [80486](#) (clones fabriqués par AMD, Cyrix, [UMC](#) et d'autres) 32 bits CISC
 - [Pentium](#) : 32 bits CISC
 - Pentium MMX : 32 bits CISC
 - [Pentium Pro](#) : 32 bits CISC
 - [Pentium II](#) : 32 bits CISC
 - [Pentium III](#) : 32 bits CISC
 - [Pentium 4](#) : 32 bits et 64 bits CISC
 - [Pentium D](#) : 32 et 64 bits CISC dual core
 - [Pentium M](#) : 32 bits CISC
 - [Celeron](#) : 32 bits CISC
 - [Xeon](#) : 32 bits et 64 bits (depuis le [28 juin 2004](#)) CISC
 - [Core](#) : 32 bits CISC
 - [Core 2](#) : 64 bits CISC
 - [Core i7](#) : 64 bits CISC

- [AMD K5](#) : 32 bits CISC
- [AMD K6](#) : 32 bits CISC
- [Athlon](#) : 32 bits CISC
- [Duron](#) : 32 bits CISC
- [Sempron](#) : 32 bits CISC
- [Sempron 64](#) : 32 et 64 bits CISC
- [Athlon 64](#) : 32 et 64 bits CISC
- [Athlon 64 X2](#) : 32 et 64 bits CISC dual core
- [Opteron](#) : 32 et 64 bits CISC
- [Turion](#) : 32 et 64 bits CISC
- Famille Itanium (Intel) : 64 bits. Destinée, d'après Intel, à remplacer la famille x86 avec laquelle il est incompatible, il est pour l'instant cantonné aux serveurs et stations haut de gamme. Son succès semble mitigé.
 - [Itanium](#)
 - [Itanium 2](#)
- Famille Crusoe ([Transmeta](#)) : Architecture matérielle [VLIW](#) (Very long instruction word) + (moteur de [code morphing](#))
 - [Crusoe](#) 128 bits
 - [Efficeon](#) 256 bits
- Famille [POWER](#) ([IBM](#)) : 32 et 64 bits RISC. Utilisés dans les calculateurs, stations graphiques, serveurs [Unix](#), [mainframes](#) et mini-ordinateurs d'IBM.
 - [POWER1](#)
 - [POWER2](#)
 - [POWER3](#)
 - [POWER4](#)
 - [POWER4+](#)
 - [POWER5](#)
 - [POWER5+](#)
 - [POWER6](#)
- Famille [PowerPC](#) ([IBM](#) et [Motorola](#)) : 32 et 64 bits RISC. Utilisés dans les calculateurs, stations graphiques, serveurs Unix, mainframes et mini-ordinateurs d'IBM, ainsi que dans les [Macintosh](#) et dans la console [Nintendo GameCube](#).
 - [PowerPC 403](#)
 - [PowerPC 405](#)
 - [PowerPC 440](#)

- [PowerPC 601](#)
- [PowerPC 603](#)
- [PowerPC 603e](#)
- [PowerPC 604](#)
- [PowerPC 604e](#)
- [PowerPC 620](#) (64 bit)
- [PowerPC 750](#) (ou [G3](#))
- [PowerPC 7400-7450-7455](#) (ou [G4](#))
- [PowerPC 970](#) (ou [G5](#)) (64 bit)
- Famille [SPARC](#) ([Sun Microsystems](#)) : 32 et 64 bits RISC. Utilisés dans les calculateurs, stations graphiques et serveurs Unix de Sun.
 - [Sun Sparc](#) : 32 bits RISC
 - [SuperSparc](#) : 32 bits RISC
 - [MicroSparc](#) : 32 bits RISC
 - [HyperSparc](#) : 32 bits RISC
 - [UltraSPARC I](#) : 64 bits RISC
 - [UltraSPARC Ili](#) : 64 bits RISC
 - [UltraSPARC III](#) : 64 bits RISC
 - [UltraSparc IV](#) : 64 bits RISC, multilots, dual core
 - [UltraSparc T1](#) : 64 bits RISC, multilots, octo core
 - [UltraSPARC T2](#) : 64 bits RISC, multilots, octo core, 64 threads
 - [LEON](#) 32 bits RISC, libre sous licence GPL2,GPL3
- Famille [ARM](#) ([ARM Ltd.](#), Intel et [Texas Instruments](#)). Utilisés dans des [PDA](#) de différentes marques, le plus souvent fonctionnant sous [PocketPC](#), ainsi que des [téléphones portables](#) et les ordinateurs [RISC PC](#) et [Archimedes](#) d'[Acorn](#).
 - [ARM7](#)
 - [ARM9](#) (Comme le OMAP de Texas Instruments)
 - [ARM10](#)
 - [ARM11](#) (Comme le OMAP 2 de Texas Instruments)
 - [StrongARM](#) (Intel)
 - [XScale](#) (Intel)
 - Cortex-A8 (Comme le Texas Instruments [OMAP3](#) ou Freescale [i.MX515](#))
 - Cortex-A9 (Comme le Texas Instruments [OMAP4](#))
- Famille Mips (Mips, clones NEC) : 32 et 64 bits RISC utilisé dans les stations Unix de chez [SGI](#) ([Silicon Grapics Inc.](#)) et [Nintendo](#)

- **R2000** : 32 bits RISC, 12 à 33 MHz
- **R3000** : 32 bits RISC, 20 à 40 MHz ([SGI PlayStation](#))
- **R4000** : 64 bits RISC, 50 à 250 MHz (Nintendo 64)
- **R4400** : 64 bits RISC, 50 à 250 MHz (Nintendo 64)
- **R5000** : 64 bits RISC, 150 à 200 Mhz
- **R6000** : 64 bits RISC
- **R8000** : 64 bits RISC, 75 à 90 MHz, CPU multi chips, premier superscalaire de MIPS
- **R10000** : 64 bits RISC, 175 à 300 Mhz
- **R12000** : 64 bits RISC, 300 à 400 Mhz
- **R14000** : 64 bits RISC, 500 à 800 Mhz
- **R16000** : 64 bits RISC
- **R20000** : 64 bits RISC
- Famille **DEC Alpha** ([DEC](#), puis [Compaq](#), puis [Hewlett-Packard](#)) : 64 bits RISC
 - Alpha 21064 : 64 bits RISC, 150 à 300 MHz
 - Alpha 21164 : 64 bits RISC, 300 à 433 MHz
 - Alpha 21264 : 64 bits RISC, 500 MHz à 1,25 GHz
 - Alpha 21364 : 64 bits RISC, 1 à 1,3 GHz
- Famille PA (Hewlett-Packard) : 32 (série 7000) et 64 bits (série 8000) RISC
 - PA 8000
 - PA 8200
 - PA 8500
 - PA 8700
 - PA 8800 dual core
 - PA 8900 dual core
- Famille **SuperH** ([Hitachi](#)) : 32 bits RISC
 - SH1
 - SH2 (console Sega Saturn)
 - SH3
 - SH4 (console Sega Dreamcast et Sony Playstation 2)
- Famille **MCore** ([Freescale](#)) : 32 bits RISC
 - MMC2001
 - MMC2003
 - **MMC2107**
 - MMC2113
 - **MMC2114**

Liste des microprocesseurs Intel



Cette **liste des microprocesseurs Intel** essaye de présenter tous les **processeurs** Intel depuis le pionnier 4 bits **4004** (1971) jusqu'aux haut-de-gamme actuels. Une information technique concise est donnée pour chaque produit.

Classement par architecture

Les processeurs 4 bits et 8 bits

Intel 4004 : 1^{er} μ P sur une seule puce

- Présenté le 15 novembre 1971
- Vitesse d'horloge 108 kHz
- 0,06 MIPS
- Largeur du bus 4 bits (bus d'adresse/donnée multiplexé dû à un nombre limité de broches)
- PMOS
- Nombre de transistors 2 300 à 10 μ m
- Mémoire adressable 640 octets
- Mémoire de programme 4 Kio
- Premier microcontrôleur au monde
- Utilisé dans le calculateur Busicom
- Remarque: Le but originel était d'égaliser la vitesse d'horloge de IBM 1620; ce qui ne fut pas le cas.

4040

- Présenté en 1974
- Vitesse d'horloge de 500 kHz à 740 kHz utilisant des cristaux de 4 à 5.185 MHz
- 0,06 MIPS
- Largeur du bus 4 bits (bus d'adresse/donnée multiplexé dû à un nombre limité de broches)
- PMOS
- Nombre de transistors 3 000 à 10 μ m

- Mémoire adressable 640 octets
- Mémoire de programme 8 Kio
- Interruptions
- Version améliorée du 4004

8008

- Présenté le 1^{er} avril 1972
- Vitesse d'horloge 500 kHz (8008-1: 800 kHz)
- 0,05 MIPS
- Largeur du bus 8 bits (bus d'adresse/donnée multiplexé du à un nombre limité de broches)
- PMOS
- Nombre de transistors 3 500 à 10 μm
- Mémoire adressable 16 Kio
- Typiquement dans des terminaux, calculatrices génériques
- Développé en même temps que le 4004
- Originellement destiné à l'utilisation dans le terminal Datapoint 2200.

8080

- Présenté le 1^{er} avril 1974
- Vitesse d'horloge 2 MHz
- 0,64 MIPS
- Largeur du bus 8 bits donnée, 16 bits d'adresses
- NMOS
- Nombre de transistors 6 000 à 6 μm
- Mémoire adressable 64 Kio
- 10X les performances du 8008
- Utilisé dans l'Altair 8800, contrôleur de lumière sur des panneaux de signalisation, missiles de croisière
- Demandait 6 puces de support contre 20 pour le 8008

8085

- Présenté en Mars 1976
- Vitesse d'horloge 5MHz
- 0,37 MIPS
- Largeur du bus 8 bits de données, 16 bits d'adresse
- Nombre de transistors 6 500 à 3 μm

- Utilisé dans le Toledo scale
- Haut niveau d'intégration, opérant pour la première fois sur une alimentation de 5 volts, contrairement à 12 volts précédemment

Les processeurs 16 bits : Origines de l'x86

8086

- Présenté le 8 juin 1978
- Vitesse d'horloge:
 - 5 MHz pour 0,333 MIPS
 - 8 MHz pour 0,66 MIPS
 - 10 MHz pour 0,75 MIPS
- Largeur du bus 16 bits donnée, 20 bits d'adresse
- Nombre de transistors 29 000 à 3 μ m
- Mémoire adressable 1 Mio
- 10X les performances du 8080
- Utilisé dans les ordinateurs portables
- Jeu d'instructions compatible avec le 8080
- Utilise des registres à segment pour accéder à plus de 64 Kio de données en une fois, soucis principal des programmeurs pour les années suivantes.

8088

- Présenté le 1^{er} juin 1979
- Vitesse d'horloge:
 - 5 MHz pour 0,33 MIPS
 - 8 MHz pour 0,75 MIPS
- Architecture interne 16 bits
- Largeur du bus externe, 8 bits de données, 20 bits d'adresses
- Nombre de transistors 29 000 à 3 μ m
- Mémoire adressable 1 Mio
- Identique au 8086 excepté pour son bus externe de 8 bits
- Utilisé dans l'IBM PCs et les clones PC

iAPX 432 (entrée chronologique)

- Présenté le 1^{er} janvier 1981
- Processeur Multi-puce; Le premier microprocesseur Intel 32 bits

80186

- Présenté en 1982
- Utilisé dans la plupart des applications embarquées - contrôleurs, systèmes point de vente, terminaux...
- Inclut deux timers, un contrôleur DMA, et un contrôleur d'interruption sur la puce en plus du processeur
- Plus tard renommé l'iAPX 186

80188

- Une version du 80186 avec un bus de donnée externe sur 8 bits
- Plus tard renommé l'iAPX 188

80286

- Présenté le 1^{er} février 1982
- Vitesse d'horloge:
 - 6 MHz pour 0,9 MIPS
 - 8 MHz, 10 MHz pour 1,5 MIPS
 - 12,5 MHz pour 2,66 MIPS
- Largeur du bus 16 bits
- Inclut une protection matérielle de la mémoire pour supporter les systèmes d'exploitations multitâches avec un espace d'adressage par processus
- Nombre de transistors 134 000 à 1,5 μm
- Mémoire adressable 16 Mio
- Ajoutait le mode protégé au 8086 avec essentiellement le même jeu d'instructions
- 3 à 6X les performances du 8086
- Largement utilisé dans les clones PC à cette époque
- Peut parcourir l'Encyclopædia Britannica en 45 secondes

Processeurs 32 bits

Les non-x86

~~200x 433~~

- Présenté le 1^{er} janvier 1981 comme le premier microprocesseur 32 bits d'Intel
- Capacité d'architecture objet
- Primitives microcodée du système d'exploitation
- Un teraoctet d'espace d'adresses virtuelles

- Support matériel des fault tolerance
- Processeur générique (GDP) en deux puces, le 43201 et le 43202
- 43203 Interface processeur (IP) interfaces le sous-système d'E/S
- 43204 Unité d'interface du bus (BIU) simplifie la fabrication de systèmes multiprocesseurs
- 43205 Unité de contrôle mémoire (MCU)
- Architecture et unité d'exécution interne des données en 32 bits
- Vitesse d'horloge:
 - 5 MHz
 - 7 MHz
 - 8 MHz

80186, 80188, 80286, 80386(DX) (entrée chronologique)

- Présenté en 1981 1988
- voir le sommaire

~~1960 ou 80060~~

- Présenté le 5 avril 1988
- Architecture 32 bits RISC-like
- Avant tout utilisé dans les systèmes embarqués
- A évolué à partir des processeurs développés pour la coentreprise BiIN avec Siemens
- Plusieurs variantes identifiées par des suffixes à deux-lettres.

80386SX (entrée chronologique)

- Présenté le 16 juin 1988

80376 (entrée chronologique)

- Présenté le 16 janvier 1989

~~1860 ou 80860~~

- Présenté le 27 février 1989
- Premier processeur d'Intel superscalaire

- Architecture [RISC](#) 32/64 bits, avec caracteristiques pipeline très visible pour les programmeurs
- Utilisé dans l'[Intel Paragon](#) superordinateur massivement parallèle

La série des 80386

~~80286DX~~

- Présenté le [17 octobre 1985](#)
- Vitesse d'horloge:
 - 16MHz pour 5 à 6 MIPS
 - 2/16/1987 20 MHz pour 6 à 7 MIPS
 - 4/4/1988 25 MHz pour 8,5 MIPS
 - 4/10/1989 33 MHz pour 11,4 MIPS (9,4 SPECint92 sur Compaq/i 16K L2)
- Largeur du bus 32 bits
- Nombre de transistors 275 000 à 1 μ m
- Mémoire adressable 4 Gio
- Mémoire virtuelle 64 Tio
- Première puce x86 manipulant des données 32 bits
- Protection mémoire retravaillée et améliorée incluant de la mémoire virtuelle paginée et un mode virtuel 8086, fonctions demandées par [Windows 95](#) et [OS/2](#) Warp
- Utilisé dans les ordinateurs de bureau
- Peut adresser suffisamment de mémoire pour gérer l'histoire de chaque personne sur terre sur huit page
- Peut parcourir l'Encyclopædia Britannica en 12,5 secondes

80960 (i960) (entrée chronologique)

- Présenté le [5 avril 1988](#)

~~80286SX~~

- Présenté le [16 juin 1988](#)
- Vitesse d'horloge:
 - 16MHz pour 2,5 MIPS
 - 1/25/1989 20 MHz pour 2,5 MIPS, 25 MHz pour 2,7 MIPS
 - 10/26/1992 33 MHz pour 2,9 MIPS
- Architecture interne en 32 bits

- Largeur du bus externe sur 16 bits
- Nombre de transistors 275 000 à 1 μm
- Mémoire adressable 16 Mio
- Mémoire virtuelle 256 Gio
- La largeur du bus externe sur 16 bits permet la fabrication à coût réduit d'un processeur 32 bits
- Multitâche incorporé
- Utilisé dans les ordinateurs de bureau d'entrée de gamme et les ordinateurs portable

~~80276~~

- Présenté le [16 janvier 1989](#); Arrêté le [15 juin 2001](#)
- Variante du 386 pour les systèmes embarqué.
- Pas de « [mode réel](#) », démarre directement en « [mode protégé](#) »
- Remplacé par le plus connu [80386EX](#) à partir de 1994

80860 (i860) (entrée chronologique)

- Présenté le [27 février 1989](#)

80486DX (entrée chronologique)

- Présenté le [16 avril 1989](#)
- See [80486DX](#)

~~80286Sf~~

- Présenté le [15 octobre 1990](#)
- Vitesse d'horloge:
 - 20MHz pour 4,21 MIPS
 - 9/30/1991 25MHz pour 5,3 MIPS
- Architecture interne en 32 bits
- Largeur du bus externe sur 16 bits
- Nombre de transistors 855 000 à 1 μm
- Mémoire adressable 4 Gio
- Mémoire virtuelle 64 Tio
- Première puce spécialement fabriquée pour les ordinateurs portable grâce à la faible consommation de la puce.

- Hautement intégré, inclus les caches, bus, et contrôleurs mémoire

80486SX/DX2/SL, Pentium, 80486DX4 (entrée chronologique)

- Présenté en 1991 1994

~~Intel 586 486~~

- Présenté en août 1994
- Variante du 80386SX pour les systèmes embarqués
- Cœur statique, ex : peut tourner aussi lentement que désiré (et donc plus économique en énergie), à zéro pour l'éteindre
- Périphériques intégrés :
 - Horloge et gestion d'énergie
 - Timers/compteurs
 - watchdog timer
 - Unités d'E/S série (synchrone et asynchrone) et E/S parallèle
 - DMA
 - rafraichissement de la RAM
 - JTAG test logic
- A eu beaucoup plus de succès que le 80376
- Utilisé à bord de plusieurs satellites et microsatellites en orbite
- Utilisé dans le projet de la NASA FlightLinux

La série des 80486

~~80486DX4~~

- Présenté le 10 avril 1989
- Vitesse d'horloge:
 - 25 MHz pour 20 MIPS (16,8 SPECint92, 7,40 SPECfp92)
 - 5/7/1990 33 MHz pour 27 MIPS (22,4 SPECint92 sur Micronics M4P 128k L2)
 - 6/24/1991 50 MHz pour 41 MIPS (33,4 SPECint92, 14,5 SPECfp92 sur Compaq/50L 256K L2)
- Largeur du bus 32 bits
- Nombre de transistors 1,2 million à 1 μm ; le 50 MHz est à 0,8 μm
- Mémoire adressable 4 Gio
- Mémoire virtuelle 64 Tio

- Cache de niveau 1 dans la puce
- 50X les performances d'un 8088
- Utilisé dans les ordinateurs de bureau et serveurs

80386SL (entrée chronologique)

- Présenté le 15 octobre 1990

~~80486SX~~

- Présenté le 22 avril 1991
- Vitesse d'horloge:
 - 9/16/1991 16MHz pour 13 MIPS, 20 MHz pour 16,5 MIPS
 - 9/16/1991 25MHz pour 20 MIPS (12 SPECint92)
 - 9/21/1992 33MHz pour 27 MIPS (15,86 SPECint92)
- Largeur du bus 32 bits
- Nombre de transistors 1,185 million à 1 μm et 900 000 à 0,8 μm
- Mémoire adressable 4 Gio
- Mémoire virtuelle 64 Tio
- Design identique au 486DX mais sans le coprocesseur mathématique
- Utilisé dans les ordinateurs 486 d'entrée de gamme pour bureau
- Possibilité de mise à jour avec un OverDrive Intel

~~80486DX2~~

- Présenté le 3 mars 1992
- Vitesse d'horloge:
 - 50MHz pour 41 MIPS (29,9 SPECint92, 14,2 SPECfp92 sur Micronics M4P 256K L2)
 - 8/10/1992 66 MHz pour 54 MIPS (39,6 SPECint92, 18,8 SPECfp92 sur Micronics M4P 256K L2)
- Largeur du bus 32 bits
- Nombre de transistors 1,2 million à 0,8 μm
- Mémoire adressable 4 Gio
- Mémoire virtuelle 64 Tio
- Utilisé dans les ordinateurs de bureau haute performances à bas prix
- Utilise un « doubleur de vitesse » technologie où le c ur du microprocesseur tourne deux fois plus vite que le bus

80486Sf

- Présenté le 9 novembre 1992
- Vitesse d'horloge:
 - 20 MHz pour 15.4MIPS
 - 25 MHz pour 19 MIPS
 - 33 MHz pour 25 MIPS
- Largeur du bus 32 bits
- Nombre de transistors 1,4 million à 0,8 μm
- Mémoire adressable 64 Mio
- Mémoire virtuelle 64 Tio
- Utilisé dans le notebook PCS

Pentium (entrée chronologique)

- Présenté le 22 mars 1993

80486DX4

- Présenté le 7 mars 1994
- Vitesse d'horloge:
 - 75 MHz pour 53 MIPS (41,3 SPECint92, 20,1 SPECfp92 sur Micronics M4P 256K L2)
 - 100 MHz pour 70,7 MIPS (54,59 SPECint92, 26,91 SPECfp92 sur Micronics M4P 256K L2)
- Nombre de transistors 1,6 million à 0,6 μm
- Largeur du bus 32 bit
- Mémoire adressable 4 Gio
- Mémoire virtuelle 64 Tio
- Nombre de broches 168 PGA Package, 208 SQFP Package
- Taille du Die 345 mm²
- Utilisé dans les ordinateurs de bureau et notebooks

Les Pentium

Pentium

- Présenté le 22 mars 1993
- Vitesse d'horloge:

- 60 MHz pour 100 MIPS (70,4 SPECint92, 55,1 SPECfp92 sur Xpress 256K L2)
- 66 MHz pour 112 MIPS (77,9 SPECint92, 63,6 SPECfp92 sur Xpress 256K L2)
- 75 MHz Présenté le [10 octobre 1994](#)
- 90 MHz Présenté le [7 mars 1994](#)
- 100 MHz Présenté le [7 mars 1994](#)
- 120 MHz Présenté le [27 mars 1995](#)
- 133 MHz Présenté en [juin 1995](#)
- 150 MHz Présenté le [4 janvier 1996](#)
- 166 MHz Présenté le [4 janvier 1996](#)
- 200 MHz Présenté le [10 juin 1996](#)
- Largeur du bus 64 bits
- Bus d'adresse 32 bits
- Nombre de transistors 3,1 millions à 0,8 μ m
- Mémoire adressable 4 Gio
- Mémoire virtuelle 64 Tio
- Nombre de broches 273 PGA Package
- Dimensions 2,16" x 2,16"
- Architecture [superscalaire](#) donnant 5X les performances du processeur 486DX à 33MHz
- Fonctionne sur une alimentation de 5 volts
- Utilisé dans les ordinateurs de bureau

80486DX4 (entrée chronologique)

- Présenté le [7 mars 1994](#)

80386EX (Intel386 EX) (entrée chronologique)

- Présenté en [août 1994](#)

~~80486DX4~~

- Variantes
 - 166 MHz Présenté le [8 janvier 1997](#)
 - 200 MHz Présenté le [8 janvier 1997](#)

- 233 MHz Présenté le [2 juin 1997](#)
- 166 MHz (Mobile) Présenté le [12 janvier 1997](#)
- 200 MHz (Mobile) Présenté le [8 septembre 1997](#)
- 233 MHz (Mobile) Présenté le [8 septembre 1997](#)
- 266 MHz (Mobile) Présenté le [12 janvier 1998](#)
- 300 MHz (Mobile) Présenté le [7 janvier 1999](#)

Pentium Pro : 2106

- Variantes
 - 150, 166, 180, 200 MHz Présenté le [1^{er} novembre 1995](#)
 - 200 MHz (1 Mio Cache L2) Présenté le [18 août 1997](#)

Pentium III

- P6 avec MMX et des performances 16 bits améliorées
- Variantes
 - 233 MHz Présenté le [7 mai 1997](#)
 - 266 MHz Présenté le [7 mai 1997](#)
 - 300 MHz Présenté le [7 mai 1997](#)
 - 333 MHz Présenté le [26 janvier 1998](#)
 - 350 MHz Présenté le [15 avril 1998](#)
 - 400 MHz Présenté le [15 avril 1998](#)
 - 450 MHz Présenté le [24 août 1998](#)
 - 233 MHz (Mobile) Présenté le [2 avril 1998](#)
 - 266 MHz (Mobile) Présenté le [2 avril 1998](#)
 - 300 MHz (Mobile) Présenté le [9 septembre 1998](#)
 - 333 MHz (Mobile)
- Pentium II d'entrée de gamme (Celeron)
- Variantes
 - 266 MHz Présenté le [15 avril 1998](#)
 - 300 MHz Présenté le [9 juin 1998](#)
 - 300A MHz Présenté le [24 août 1998](#)
 - 333 MHz Présenté le [24 août 1998](#)
 - 366 MHz Présenté le [4 janvier 1999](#)
 - 400 MHz Présenté le [4 janvier 1999](#)
 - 433 MHz Présenté le [22 mars 1999](#)
 - 466 MHz

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

- 500 MHz Présenté le [2 août 1999](#)
- 533 MHz Présenté le [4 janvier 2000](#)
- 566 MHz
- 633 MHz Présenté le [26 juin 2000](#)
- 667 MHz Présenté le [26 juin 2000](#)
- 700 MHz Présenté le [26 juin 2000](#)
- 733 MHz Présenté le [13 novembre 2000](#)
- 766 MHz Présenté le [13 novembre 2000](#)
- 800 MHz
- 850 MHz Présenté le [9 avril 2001](#)
- 900 MHz Présenté le [2 juillet 2001](#)
- 950 MHz Présenté le [31 août 2001](#)
- 1000 MHz Présenté le [31 août 2001](#)
- 1100 MHz Présenté le [31 août 2001](#)
- 1200 MHz Présenté le [2 octobre 2001](#)
- 1300 MHz Présenté le [3 janvier 2002](#)
- 266 MHz (Mobile)
- 300 MHz (Mobile)
- 333 MHz (Mobile) Présenté le [5 avril 1999](#)
- 366 MHz (Mobile)
- 400 MHz (Mobile)
- 433 MHz (Mobile)
- 450 MHz (Mobile) Présenté le [14 février 2000](#)
- 466 MHz (Mobile)
- 500 MHz (Mobile) Présenté le [14 février 2000](#)
- 550 MHz (Mobile)
- 600 MHz (Mobile) Présenté le [19 juin 2000](#)
- 650 MHz (Mobile) Présenté le [19 juin 2000](#)
- 700 MHz (Mobile) Présenté le [25 septembre 2000](#)
- 750 MHz (Mobile) Présenté le [19 mars 2001](#)
- 800 MHz (Mobile)
- 850 MHz (Mobile) Présenté le [2 juillet 2001](#)
- 600 MHz (LV Mobile)
- 500 MHz (ULV Mobile) Présenté le [30 janvier 2001](#)
- 600 MHz (ULV Mobile)

- Les Celerons ultérieurs seront basé sur la microarchitecture NetBurst des Pentium 4.

Pentium II Xeon (entrée chronologique)

- Présenté le 29 juin 1998

Pentium III

- Présenté le 26 février 1999
- PII amélioré, ex Basé sur un c ur du P6, incluant les extensions SSE
- Tous les processeurs Pentium III Mobile Présenté en 2000 et plus incluent la technologie SpeedStep, permettant de réduire la fréquence du processeurs pour allonger l'autonomie de l'ordinateur.
- Variantes
 - 450 MHz Présenté le 26 février 1999
 - 500 MHz Présenté le 26 février 1999
 - 533 MHz Présenté le 27 septembre 1999
 - 550 MHz Présenté le 17 mai 1999
 - 600 MHz Présenté le 2 août 1999
 - 650 MHz Présenté le 25 octobre 1999
 - 667 MHz Présenté le 25 octobre 1999
 - 700 MHz Présenté le 25 octobre 1999
 - 733 MHz Présenté le 25 octobre 1999
 - 750 MHz Présenté le 20 décembre 1999
 - 800 MHz Présenté le 20 décembre 1999
 - 850 MHz Présenté le 20 mars 2000
 - 866 MHz Présenté le 20 mars 2000
 - 933 MHz Présenté le 24 mai 2000
 - 1000 MHz Présenté le 8 mars 2000 (Non réellement disponible à la date de sa sortie)
 - 1133 MHz (Tualatin: 512 Kio cache, 0,13 μm)
 - 1333 MHz (Tualatin: 512 Kio cache, 0,13 μm)
 - 1400 MHz (Tualatin: 512 Kio cache, 0,13 μm)
 - 400 MHz (Mobile) Présenté le 25 octobre 1999
 - 450 MHz (Mobile) Présenté le 25 octobre 1999
 - 500 MHz (Mobile) Présenté le 25 octobre 1999
 - 600 MHz (Mobile) Présenté le 18 janvier 2000

- 650 MHz (Mobile) Présenté le [18 janvier 2000](#)
- 700 MHz (Mobile) Présenté le [24 avril 2000](#)
- 750 MHz (Mobile) Présenté le [19 juin 2000](#)
- 800 MHz (Mobile) Présenté le [25 septembre 2000](#)
- 850 MHz (Mobile) Présenté le [25 septembre 2000](#)
- 900 MHz (Mobile) Présenté le [19 mars 2001](#)
- 1000 MHz (Mobile) Présenté le [19 mars 2001](#)
- 866 MHz (Mobile Tualatin: 512 Kio cache, 0,13 μm) Présenté le [30 juillet 2001](#)
- 933 MHz (Mobile Tualatin: 512 Kio cache, 0,13 μm) Présenté le [30 juillet 2001](#)
- 1000 MHz (Mobile Tualatin: 512 Kio cache, 0,13 μm) Présenté le [30 juillet 2001](#)
- 1200 MHz (Mobile Tualatin: 512 Kio cache, 0,13 μm) Présenté le [1^{er} octobre 2001](#)
- 600 MHz (LV Mobile) Présenté le [19 juin 2000](#)
- 700 MHz (LV Mobile) Présenté le [27 février 2001](#)
- 750 MHz (LV Mobile) Présenté le [21 mai 2001](#)
- 500 MHz (ULV Mobile) Présenté le [30 janvier 2001](#)
- 600 MHz (ULV Mobile) Présenté le [21 mai 2001](#)
- 700 MHz (ULV Mobile)

Pentium II et III Xeon

- PII Xeon
- Variantes
 - 400 MHz Présenté le [29 juin 1998](#)
 - 450 MHz (512 Kio de cache L2) Présenté le [6 octobre 1998](#)
 - 450 MHz (1 Mio et 2 Mio de cache L2) Présenté le [5 janvier 1999](#)
- PIII Xeon
- Présenté le [25 octobre 1999](#)
- Nombre de transistors: 9,5 millions à 0,25 μm ou 28 millions à 0,18 μm)
- Cache de second niveau de 256 Kio, 1Mio, ou 2Mio Advanced Transfer Cache (Intégré)
- Packaging du processeur en Single Edge Contact Cartridge (S.E.C.C.2) ou SC330
- Vitesse du bus système 133 MHz (256 Kio cache L2) ou 100 MHz (1-2 Mio cache L2)
- Largeur du bus Système 64 bit
- Mémoire adressable 64 Gio
- Utilisé dans les serveurs two-way et stations de travail (256 Kio L2) ou serveurs 4- et 8-way (1-2 Mio L2)
- Variantes

- 500 MHz (0,25 μm) Présenté le [17 mars 1999](#)
- 550 MHz (0,25 μm) Présenté le [23 août 1999](#)
- 600 MHz (0,18 μm , 256 Kio de cache L2) Présenté le [25 octobre 1999](#)
- 667 MHz (0,18 μm , 256 Kio de cache L2) Présenté le [25 octobre 1999](#)
- 733 MHz (0,18 μm , 256 Kio de cache L2) Présenté le [25 octobre 1999](#)
- 800 MHz (0,18 μm , 256 Kio de cache L2) Présenté le [12 janvier 2000](#)
- 866 MHz (0,18 μm , 256 Kio de cache L2) Présenté le [10 avril 2000](#)
- 933 MHz (0,18 μm , 256 Kio de cache L2)
- 1000 MHz (0,18 μm , 256 Kio de cache L2) Présenté le [22 août 2000](#)
- 700 MHz (0,18 μm , 1-2 Mio de cache L2) Présenté le [22 mai 2000](#)

Pentium 4 (non 4EE, 4E, 4F), Itanium, Xeon basé sur P4, Itanium 2 (entrée chronologique)

- Présenté en avril 2000 juillet 2002

Pentium 4

- Présenté en [mars 2003](#)
- Fabriqué sur le procédé 0,13 μm
- Basé sur le c ur du Pentium III
- C ur du systeme mobile d'Intel « Centrino » ; « Banias » (1,4, 1,5, 1,6, 1,7, 1,8, 1,9, 2, 2,2 GHz)
- Bus système à 400 MHz.

Processeurs 32 bits : La série des Pentium 4

Pentium 4

- Fabriqué avec le Procédé 0,18 μm (1,40 et 1,50 GHz)
 - Présenté le [20 novembre 2000](#)
 - Cache de second niveau de 256 Kio, Advanced Transfer Cache (intégré)
 - Packaging du processeur en PGA423, PGA478
 - Vitesse du bus système 400 MHz
 - Extensions SSE2 SIMD
 - Nombre de transistors 42 million
 - Utilisé dans les ordinateurs de bureau et les stations de travail
- Fabriqué avec le Procédé 0.18 μm (1.7 GHz)
 - Présenté le [23 avril 2001](#)

- Voir les puces 1.4 et 1.5 pour plus de détails
- Fabriqué avec le Procédé 0.18 μm (1.6 et 1.8 GHz)
 - Présenté le [2 juillet 2001](#)
 - Voir puces 1.4 et 1.5 pour plus de détails
 - Alimentation du c ur en 1.15 volts en mode performance maximale, 1.05 volts en mode d'optimisation des batteries
 - Alimentation <1 watt en mode d'optimisation des batteries
 - Utilisé dans les PC portables de taille normales puis les ultra-leger
- Fabriqué avec le Procédé 0.18 μm « Willamette » (1.9 et 2.0 GHz)
 - Présenté le [27 août 2001](#)
 - Voir puces 1.4 et 1.5 pour plus de détails
- Pentium 4 (2 GHz, 2.20 GHz)
 - Présenté le [7 janvier 2002](#)
- Pentium 4 (2.4 GHz)
 - Présenté le [2 avril 2002](#)
- Fabriqué avec le Procédé 0.13 μm « Northwood A » (1.7, 1.8, 1.9, 2, 2.2, 2.4, 2.5, 2.6 GHz)
 - Bus système à 400 MHz.
- Fabriqué avec le Procédé 0.13 μm « Northwood B » (2.26, 2.4, 2.53, 2.66, 2.8, 3.06 GHz)
 - Bus système à 533 MHz. (3.06 inclus la technologie [hyper threading](#) d'Intel).
- Fabriqué avec le Procédé 0.13 « Northwood C » (2.4, 2.6, 2.8, 3.0, 3.2 GHz)
 - Bus système à 800MHz (toutes les versions incluent l'Hyper Threading)
 - 6500 à 10000 MIPS

Itanium (entrée chronologique)

- Présenté en 2001

Xeon

- Désignation officielle Xeon, et non par ex. « Pentium 4 Xeon »
- Xeon 1,4, 1,5, 1,7 GHz
 - Présenté le [21 mai 2001](#)
 - Cache de second niveau de 256 Kio Advanced Transfer Cache (intégré)
 - Packaging du processeur : Organic Lan Grid Array 603 (OLGA 603)
 - Vitesse du bus système 400 MHz
 - Extensions SSE2 SIMD

- Utilisé dans les ordinateurs hautes performances et stations de travail bi-processeurs
- Xeon 2.0 GHz
- Présenté le [25 septembre 2001](#)

Itanium 2 (entrée chronologique)

- Présenté en juillet 2002

Pentium 4EE

- Présenté en [septembre 2003](#)
- EE = « Extreme Edition »
- comme le processeur Pentium 4, mais avec 2 Mio de cache de troisième niveau inclus

Pentium 4E

- Présenté en [février 2004](#)
- Fabriqué avec le procédé 0.09 μm ([90 nm](#)) « Prescott » (2,8, 3,0, 3,2, 3,4) 1 Mio de cache L2
- Bus système à 533/800 MHz system bus (toutes les versions incluent l'Hyper Threading excepté le 2,8 GHz (533))
- Le pipeline d'instruction des entiers a été allongé de 20 à 32 étages, ce qui théoriquement augmente la puissance de 1 MHz.
- 7500 à 11000 MIPS

Pentium 4F

- Présenté au [printemps 2004](#)
- Même cœur que le 4E, « Prescott »
- 3,2 3,6 GHz
- Début des prochains changements des P4, les extensions [Intel 64](#) 64-bit extensions sont incorporées

Les processeurs 64 bits : Itanium & ...

[Itanium](#)

- Présenté le [29 mai 2001](#)
- 733 MHz et 800 MHz

[Itanium 2](#)

- Présenté en [juillet 2002](#)

- 900 MHz et 1 GHz

Pentium M (entrée chronologique)

- Présenté en [mars 2003](#)

Pentium 4EE, 4E (entrée chronologique)

- Présenté en septembre 2003, février 2004, respectivement [Intel 64](#)
- D'abord appelé **IA-32** puis **EM64T** (pour Extended Memory 64 Technology)
- Présenté au printemps [2004](#), avec le Pentium 4F
- Extension pour l'architecture [64-bit](#) de la serie des [x86](#) clone proche de celle de l'[AMD64](#)

Classement par utilisation

Ordinateur de Bureau

[Intel Core Architecture](#)

Tous ces processeurs disposent du [MMX](#), [SSE](#), [SSE2](#), [SSE3](#) et [SSSE3](#)

Celeron

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L64	EIST	XD	IVT	Gravure	TDP	Socket
4x0	Celeron	Conroe-L	1	512 KB	800	-	X	X	X	-	65 nm	35 W	LGA775

Core 2

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L64	EIST	XD	IVT	TXT	Gravure	TDP	Socket
E4x00	Core 2 Duo	Allendale	2	2 Mio	800	-	X	X	X	-	-	65 nm	65 W	LGA775

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

E6x00	Core 2 Duo	Conroe	2 2	4 Mio 2 Mio	1066	-	X	X	X	X	-	65 nm	65 W	LGA775
E6x20	Core 2 Duo	Conroe	2	4 Mio	1066	-	X	X	X	X	-	65 nm	65 W	LGA775
E6540	Core 2 Duo	Conroe	2	4 Mio	1333	-	X	X	X	X	-	65 nm	65 W	LGA775
E6x50	Core 2 Duo	Conroe	2	4 Mio	1333	-	X	X	X	X	X	65 nm	65 W	LGA775
Q6x00	Core 2 Quad	Kentsfield	4	8 Mio	1066	-	X	X	X	X	-	65 nm	95 W 105 W	LGA775
X6800	Core 2 Extreme	Conroe XE	2	4 Mio	1066	-	X	X	X	X	-	65 nm	75 W	LGA775
QX6x00	Core 2 Extreme	Kentsfield XE	4	8 Mio	1066	-	X	X	X	X	-	65 nm	130 W	LGA775
QX6850	Core 2 Extreme	Kentsfield XE	4	8 Mio	1333	-	X	X	X	X	-	65 nm	130 W	LGA775

Pentium

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L64	ELIST	XD	IVT	Gravure	TDP	Socket
E21x0	Pentium Dual-Core	Conroe	2	1 Mio	800	-	X	X	X	-	65 nm	65 W	LGA775

Tél : (00229) 96 15 81 18

E-mail : cyze2002@yahoo.fr / cyze2002@hotmail.com

CYZE PRODUCTION

NetBurst

Tous ces processeurs disposent du [MMX](#), [SSE](#), [SSE2](#), [SSE3](#)

Celeron

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L64	FIST	XD	IVT	Gravure	TDP	Socket
360	Celeron D	Cedar Mill-512	1	512 KB	533	-	X	X	X	-	65 nm	65	LGA775
3x0	Celeron D	Prescott-256	1	256 KB	533	-	-	-	-	-	90 nm	84	LGA775
3x0J	Celeron D	Prescott-256	1	256 KB	533	-	-	-	X	-	90 nm	84	LGA775
3x1	Celeron D	Prescott-256	1	256 KB	533	-	X	X	X	-	90 nm	84	LGA775
352	Celeron D	Cedar Mill-512	1	512 KB	533	-	X	X	X	-	65 nm	86	LGA775
355	Celeron D	Prescott-256	1	256 KB	533	-	X	X	X	-	90 nm	84	LGA775
3x5	Celeron D	Prescott-256	1	256 KB	533	-	-	-	-	-	90 nm		LGA775
3x5J	Celeron D	Prescott-256	1	256 KB	533	-	-	-	X	-	90 nm	84	LGA775
356	Celeron D	Cedar Mill-	1	512 KB	533	-	X	X	X	-	65 nm	86	LGA775

		512											
3x6	Celeron D	Prescott-256	1	256 KB	533	-	X	X	X	-	90 nm	84	LGA775
347	Celeron D	Cedar Mill-512	1	512 KB	533	-	X	X	X	-	65 nm	86	LGA775

Pentium 4

Remarque: Les premiers modèles de Pentium 4 avec un numéro de modèle et un FSB à 133 MHz (Quad Pumped FSB533) diffèrent de la nomenclature générale et sont dans une autre section.

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L64	FIST	XD	IVT	Gravure	TDP	Socket
5x0	Pentium 4	Prescott	1	1 Mio	800	X	-	-	-	-	90 nm	-	LGA775
5x0F	Pentium 4	Prescott	1	1 Mio	800	-	X	-	X	-	90 nm	-	LGA775
5x0J	Pentium 4	Prescott	1	1 Mio	800	X	-	-	X	-	90 nm	-	LGA775
5x1	Pentium 4	Prescott	1	1 Mio	800	X	X	-	X	-	90 nm	-	LGA775
620	Pentium 4	Prescott 2M	1	2 Mio	800	X	X	-	X	-	90 nm	-	LGA775
6x0	Pentium 4	Prescott 2M	1	2 Mio	800	X	X	X	X	-	90 nm	-	LGA775
6x1	Pentium 4	Cedar Mill	1	2 Mio	800	X	X	X	X	-	65 nm	-	LGA775

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

6x2	Pentium 4	Prescott 2M	1	2 Mio	800	X	X	X	X	X	90 nm	-	LGA775
-----	---------------------------	-----------------------------	---	-------	-----	---	---	---	---	---	-------	---	------------------------

Pentium D

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L 64	EIST	XD	IVT	Gravure	TDP	Socket
805	Pentium D	Smithfield	2	2 Mio	533	-	X	-	X	-	90 nm	-	LGA775
820	Pentium D	Smithfield	2	2 Mio	800	-	X	-	X	-	90 nm	-	LGA775
8x0	Pentium D	Smithfield	2	2 Mio	800	-	X	X	X	-	90 nm	130W	LGA775
9x0	Pentium D	Presler	2	4 Mio	800	-	X	X	X	X	65 nm	95W	LGA775
9x5	Pentium D	Presler	2	4 Mio	800	-	X	X	X	-	65 nm	95W	LGA775

Pentium Extreme Edition

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L 64	EIST	XD	IVT	Gravure	TDP	Socket
840	Pentium EE	Smithfield	2	2 Mio	800	X	X	X	X	-	90 nm	130W	LGA775
9x5	Pentium EE	Presler	2	4 Mio	1066	X	X	X	X	X	65 nm	130W	LGA775

Exception

Les Pentium 4 avec un FSB de 133 MHz s'écartent de la nomenclature habituelle à partir de:

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	IA-64	FIST	XD	IVT	Gravure	TDP	Socket
505	Pentium 4	Prescott	1	1 Mio	533	-	-	-	-	-	90 nm	-	LGA775
505J	Pentium 4	Prescott	1	1 Mio	533	-	X	-	X	-	90 nm	-	LGA775
506	Pentium 4	Prescott	1	1 Mio	533	-	X	-	X	-	90 nm	-	LGA775
511	Pentium 4	Prescott	1	1 Mio	533	-	X	-	X	-	90 nm	-	LGA775
515	Pentium 4	Prescott	1	1 Mio	533	-	-	-	-	-	90 nm	-	LGA775
515J	Pentium 4	Prescott	1	1 Mio	533	X	-	-	X	-	90 nm	-	LGA775
516	Pentium 4	Prescott	1	1 Mio	533	-	X	-	X	-	90 nm	-	LGA775
517	Pentium 4	Prescott	1	1 Mio	533	X	X	-	X	-	90 nm	-	LGA775
519	Pentium 4	Prescott	1	1 Mio	533	-	-	-	X	-	90 nm	-	LGA775
519K	Pentium 4	Prescott	1	1 Mio	533	-	X	-	X	-	90 nm	-	LGA775
524	Pentium 4	Prescott	1	1 Mio	533	X	X	-	X	-	90 nm	-	LGA775

[Server-/Workstation](#) [\[modifier\]](#)

[IA-64](#) [\[modifier\]](#)

Tous les processeurs possèdent une mémoire cache de niveau 3, selon le cas, l'exécution peut prendre différentes tailles.

Tél : (00229) 96 15 81 18

E-mail : cyze2002@yahoo.fr / cyze2002@hotmail.com

CYZE PRODUCTION

Itanium 2

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L64	EIST	XD	IVT	Gravure	TDP	Socket
9010	Itanium 2	Montecito	1	1,25 Mio	533	X	-	-	-	X	90 nm	104 W	
90x0	Itanium 2	Montecito	2	1,25 Mio	533	X	-	-	-	X	90 nm	104 W	
90x5	Itanium 2	Montecito	2	1,25 Mio	533	X	-	-	-	X	90 nm	104 W	

Intel Core Architecture

Tous ces processeurs disposent du [MMX](#), [SSE](#), [SSE2](#), [SSE3](#) et [SSSE3](#)

Xeon

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L64	EIST	XD	IVT	Gravure	TDP	Socket
30x0	Xeon LP	Conroe Allendale	2 2	4 Mio 2 Mio	1066	-	X	X	X	X	65 nm		LGA775
5148 LV	Xeon DP	Woodcrest	2	4 Mio	1333	-	X	X	X	X	65 nm	40 W	LGA771
51x0	Xeon DP	Woodcrest	2	4 Mio	1066 1333	-	X	X	X	X	65 nm	65 W	LGA771
E53x0	Xeon DP	Clovertown	4	8 Mio	1066	-	X	X	X	X	65 nm	80 W	LGA771

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

E53x5	Xeon DP	Clovertown	4	8 Mio	1333	-	X	X	X	X	65 nm	80 W	LGA771
X32x0	Xeon LP	Kentsfield	4	8 Mio	1066	-	X	X	X	X	65 nm	130 W	LGA775
X5340	Xeon DP	Clovertown	4	8 Mio	1066	-	X	X	X	X	65 nm	80 W	LGA771
X5355	Xeon DP	Clovertown	4	8 Mio	1333	-	X	X	X	X	65 nm	120 W	LGA771

NetBurst

Tous ces processeurs disposent du [MMX](#), [SSE](#), [SSE2](#) et [SSE3](#)

Xeon

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L64	EIST	XD	IVT	Gravure	TDP	Socket
50x0	Xeon DP	Dempsey	2	2 Mio	667 1066	X	X	X	X	X	65 nm	95 W 130 W	LGA771
7041	Xeon MP	Paxville	2	2 Mio	667 800	X	X	X	X	X	90 nm	165 W	Socket 604
70x0	Xeon MP	Paxville	2	2 Mio	667 800	X	X	X	X	X	90 nm	165 W	Socket 604
71x0N	Xeon MP	Tulsa	2	2 Mio	667	X	X	X	X	X	65 nm	150 W	Socket 604
71x0M	Xeon MP	Tulsa	2	2 Mio	800	X	X	X	X	X	65 nm	150 W	Socket 604

Ordinateur Portable

Tél : (00229) 96 15 81 18

E-mail : cyze2002@yahoo.fr / cyze2002@hotmail.com

CYZE PRODUCTION

Intel Core Architecture

Tous ces processeurs disposent du [MMX](#), [SSE](#), [SSE2](#), [SSE3](#) et [SSSE3](#)

Notes:

- Les processeurs précurseurs de l'[Intel Core Architecture](#) avec les coeurs Banias et Dothan (et ses dérivés) ne disposent pas des instructions [SSE3](#) et [SSSE3](#)!
- Les processeurs précurseurs de l'[Intel Core Architecture](#) avec le coeur de processeur Yonah (et ses dérivés) ne disposent pas des instructions [SSSE3](#)!

Celeron M

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L64	EIST	XD	VT	Gravure	TDP	Socket
3x0 (bis 340)	Celeron M	Banias-512	1	512 KB	400	-	-	-	-	-	130 nm	-	Socket 479
3x0 (350/360)	Celeron M	Dothan-1024	1	1 Mio	400	-	-	-	-	-	90 nm	21 W	Socket 479
3x0 (ab 370)	Celeron M	Dothan-1024	1	1 Mio	400	-	-	-	X	-	90 nm	21 W	Socket 479
3x0J	Celeron M	Dothan-1024	1	1 Mio	400	-	-	-	X	-	90 nm	21 W	Socket 479
333	Celeron M III	Banias-512	1	512 KB	400	-	-	-	X	-	130 nm	-	Socket 479
383	Celeron M III	Dothan-1024	1	1 Mio	400	-	-	-	X	-	90 nm	5,5 W	Socket 479
3x3	Celeron M III	Dothan-1024	1	512 KB	400	-	-	-	X	-	90 nm	5,5 W	Socket 479

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

4x0	Celeron M	Yonah-1024	1	1 Mio	533	-	-	-	X	-	65 nm	27 W	Socket 479
4x3	Celeron M III	Yonah-1024	1	1 Mio	533	-	-	-	X	-	65 nm	5,5 W	Socket 479
5x0	Celeron M	Merom-1024	1	1 Mio	533	-	X	-	X	-	65 nm	30 W	Socket 479

Core

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L64	EIST	XD	IVT	Gravure	TDP	Socket
L2x00	Core Duo IV	Yonah	2	2 Mio	667	-	-	X	X	-	65 nm	15 W	Socket M
T1x00	Core Solo	Yonah	1	2 Mio	667	-	-	X	X	-	65 nm	27 W	Socket M
T2x00	Core Duo	Yonah	2	2 Mio	667	-	-	X	X	X	65 nm	31 W	Socket M
T2x50	Core Duo	Yonah	2	2 Mio	533	-	-	X	X	X	65 nm	31 W	Socket M
T2x00E	Core Duo	Yonah	2	2 Mio	667	-	-	X	X	-	65 nm	31 W	Socket M
U1x00	Core Solo III	Yonah	1	2 Mio	533	-	-	X	X	-	65 nm	5,5 W	Socket M

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

U2x00	Core Duo TUV	Yonah	2	2 Mio	533	-	-	X	X	-	65 nm	9,5 W	Socket M
-------	----------------------------------	-----------------------	---	-------	-----	---	---	---	---	---	-------	-------	------------------------------

Core 2 [\[modifier\]](#)

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	J 64	EIST	XD	IVT	Gravure	TDP	Socket
T5200 T5300	Core 2 Duo	Merom	2	2 Mio	533	-	X	X	X	-	65 nm	34 W	Socket M
T5250 T5450	Core 2 Duo	Merom	2	2 Mio	667	-	X	X	X	-	65 nm	34 W	Socket P
T5470	Core 2 Duo	Merom	2	2 Mio	800	-	X	X	X	-	65 nm	34 W	Socket P
T5500 T5600	Core 2 Duo	Merom	2	2 Mio	667	-	X	X	X	-	65 nm	34 W	Socket M
T7200 T7400 T7600	Core 2 Duo	Merom	2	4 Mio	667	-	X	X	X	X	65 nm	34 W	Socket M
T7100 T7300 T7500 T7700	Core 2 Duo	Merom	2	4 Mio	800	-	X	X	X	X	65 nm	35 W	Socket P
L7200 L7400	Core 2 Duo	Merom	2	4 Mio	667	-	X	X	X	X	65 nm	17 W	Socket M
L7300	Core 2	Merom	2	4 Mio	800	-	X	X	X	X	65 nm	17	Socket P

Tél : (00229) 96 15 81 18

E-mail : cyze2002@yahoo.fr / cyze2002@hotmail.com

CYZE PRODUCTION

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

L7500	Duo											W	
U7x00	Core 2 Duo	Merom	2	2 Mio	533	-	X	X	X	X	65 nm	10 W	Socket M

Pentium [\[modifier\]](#)

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L64	FIST	XD	IVT	Gravure	TDP	Socket
T2xx0	Pentium Dual-Core	Yonah	2	1 Mio	533	-	-	X	X	X	65 nm	31 W	Socket 479

Pentium M

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L64	FIST	XD	IVT	Gravure	TDP	Socket
710	Pentium M	Dothan	1	2 Mio	400	-	-	X	-	-	90 nm	21 W	Socket 479
7x0	Pentium M	Dothan	1	2 Mio	533	-	-	X	X	-	90 nm	27 W	Socket 479
713	Pentium M JLV	Banias	1	2 Mio	400	-	-	X	-	-	130 nm	-	Socket 479
7x3	Pentium M JLV	Dothan	1	2 Mio	400	-	-	X	-	-	90 nm	5,5 W	Socket 479
7x3J	Pentium M JLV	Dothan	1	2 Mio	400	-	-	X	X	-	90 nm	5,5 W	Socket 479

705	Pentium M	Banias	1	2 Mio	400	-	-	X	-	-	130 nm	-	Socket 479
7x5	Pentium M	Dothan	1	2 Mio	400	-	-	X	-	-	90 nm	21 W	Socket 479
718	Pentium M IV	Banias	1	2 Mio	400	-	-	X	-	-	130 nm	-	Socket 479
7x8	Pentium M IV	Dothan	1	2 Mio	400	-	-	X	-	-	90 nm	10 W	Socket 479

NetBurst

Tous ces processeurs disposent du [MMX](#), [SSE](#), [SSE2](#) et [SSE3](#)

Pentium 4 Mobile [\[modifier\]](#)

Numéro de modèle	Nom	Nom de code	Curs	Cache L2	FSB	HT	L64	FIST	XD	IVT	Gravure	TDP	Socket
5x2	Pentium 4-M	Prescott	1	1 Mio	533	X	X	X	X	-	90 nm	88 W	LGA775
5x8	Pentium 4-M	Prescott	1	1 Mio	533	X	X	X	X	-	90 nm	88 W	LGA775

Modèles récents [\[modifier\]](#)

(À défaut de développement plus important...)

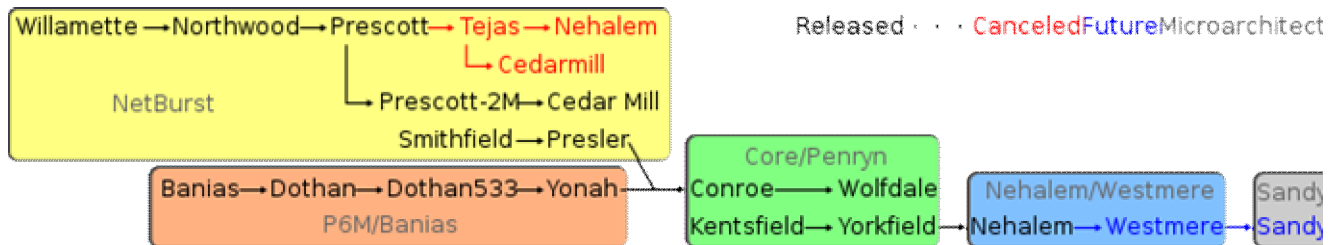
Vers 2005 Intel a abandonné l'architecture [NetBurst](#) des Pentium 4 (gardant [les instructions 64 bits](#) et ...) à cause de pipelines trop longs, de performances trop faibles, de trop de chauffe (voir [\[1\]](#) [\[2\]](#) et les article [NetBurst](#) et [Intel Pentium 4](#)).

Les pentium 4 mis à part (en jaune ci-dessous), les architectures Intel sont chronologiquement (avec héritage complet entre chaque entrée) :

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

- [Pentium II](#)
- [Pentium III](#)
- [Pentium M](#) (en orange ci-dessous)
- [Core 1](#) (en orange)
- [Core 2](#) (en vert)
- [Core 2 Penryn](#) (en vert)
- [Nehalem](#) (en bleu)



le tableau au début de l'article [Intel Core Architecture](#).

Microprocesseurs Intel			
4 bits		4004 · 4040	
8 bits		8008 · 8080 · 8085	
x86 et IA-32	16 bits	8086 · 8088 · 80186 · 80188	
	286	80286	
	386	80386	
	486	80486 · 80486SL · 80486SX · 80486DX	
	Pentium	Pentium · Pentium MMX	
	P6	Pentium Pro · Pentium II · Pentium III · Pentium M · Core Solo · Core Duo	
	NetBurst	Pentium 4 · Pentium 4-M · Pentium D · Pentium Extreme Edition	
	Core Architecture	Core 2 Solo · Core 2 Duo · Core 2 Quad · Core 2 Extreme	
	Nehalem	Core i7 · Core i5	
	Architecture multiple	Atom · Celeron · Pentium Dual-Core · Xeon	
APX 432		Intel IAPX 432 (en)	

Tél : (00229) 96 15 81 18

E-mail : cyze2002@yahoo.fr / cyze2002@hotmail.com

CYZE PRODUCTION

RISC	860	i860
	960	i960
	YScale	PXA250 • PXA255 • PXA260 • PXA270 • PXA290
IA-64	Intel Itanium • Intel Itanium 2	

Liste des microprocesseurs AMD

Cette liste des **microprocesseurs** fabriqués par **Advanced Micro Devices (AMD)** est triée par génération et année de sortie. Quand cela est possible, la désignation de chaque cur (versions) du processeur est écrite entre parenthèses.

Architectures d'origine AMD

Am2900 (1975)

- [Am2901](#) microprocesseur en tranche (4-[bits](#)).
- [Am2903](#) version améliorée du 2901.
- [Am2910](#) séquenceur de [microprogramme](#).
- [Am29009](#) ditto.

29000 (29K) (1987 95)

- [AMD 29000](#) (ou 29K) (1987)
- [AMD 29027](#) [FPU](#)
- [AMD 29030](#)
- [AMD 29050](#) avec un coprocesseur mathématique inclus (1990)
- [AMD 292xx](#) processeur pour [système embarqué](#)

Processeurs d'architecture [x86](#)

Sous-traitant (1979 86)

(produit sous contrat avec [Intel](#))

- [8086](#)
- [8088](#)
- [80286](#)

Amx86 (1986 95)

- [Am286](#)
- [Am386](#) (1991)
- [Am486](#) (1993)
- [Am5x86](#) (1995)

K5 (1996)

Modèle	Socket	Commercialisation
SSA5	5 et 7	mars 1996
5k86	5 et 7	octobre 1996

K6 (1997 2001)

Domaine	Modèle	C urs	Socket	Commercialisation
Ordinateur de bureau	AMD K6	NX686 , Little Foot	7 et Super7	avril 1997
	AMD K6-2	Chomper , CXT	7	mai 1998
	AMD K6-III	Sharptooth	7 et Super7	février 1999
Portable	AMD K6-2-P	Mobile K6-2	7 et Super7	
	AMD K6-2+		Super7	avril 2000
	AMD K6-III-P		7 et Super7	mai 1999
	AMD K6-III+		Super7	avril 2000

K7 (1999 2005)

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

Domaine	Modèle	C urs	Socket	Commercialisation
Milieu/Haut de gamme	Athlon	Pluto , Argon , Orion , Thunderbird (T-Bird)	Slot A	1999
		Thunderbird (T-Bird)	Socket A	2000
	Athlon MP	Palomino , Thoroughbred (T-Bred), Thorton	Socket A	2001
	Athlon 4	Corvette , Thoroughbred (T-Bred), Thorton	Socket A	2001
	Athlon XP	Palomino , Thoroughbred (T-Bred)(A/B) , Barton , Thorton	Socket A	2001
Entrée de gamme	Duron	Spitfire , Morgan , Appaloosa , Applebred	Socket A	2000
	Sempron	Thorton	Socket A	2004
Portable	Mobile Athlon XP	Thoroughbred (T-Bred), Barton	Socket A	2002
	Mobile Duron	Camaro , Mobile Morgan	Socket A	2002

Autres séries

- [Geode](#) : processeur très basse consommation
- [Alchemy](#) : processeur très basse consommation optimisé pour le multimédia

Processeurs d'architecture [AMD64](#)

[K8 \(2003 2008\)](#)

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

Domaine	Modèle	C urs	Nbre de c urs	Socket	Commercialisation
Serveur	Opteron	SledgeHammer , Venus , Troy , Athens	1	939 , 940	juin 2003
		Denmark , Italy , Egypt , Santa Ana , Santa Rosa	2	940 , AM2 , F	mars 2006
Haut de gamme	Athlon 64 FX	SledgeHammer , ClawHammer , Toledo , Windsor	1	940 , 939 , AM2	2003
		Windsor (Quad FX)	2	F	novembre 2006
Milieu de gamme	Athlon 64	SledgeHammer , ClawHammer , Newcastle , Winchester , Venice , San Diego , Orleans	1	940 , 939 , 754 , AM2	2003
	Athlon 64 X2	Manchester , Toledo , Windsor , Brisbane	2	939 , AM2	avril - mai 2005
Entrée de gamme	Sempron	Paris , Palermo , Manilla	1	754 , AM2	2004
Portable	Mobile Athlon 64	SledgeHammer , ClawHammer , Newcastle , Winchester , Venice , San Diego , Orleans	1	939 , 754 , AM2	2004
	Turion 64	Lancaster	1	754	
	Turion 64 X2	Taylor & Trinidad , Tyler , Griffin	2	S1	mai 2006
	Turion 64 Ultra	Griffin	2		2 nd trim. 2008

K8L

Tél : (00229) 96 15 81 18

E-mail : cyze2002@yahoo.fr / cyze2002@hotmail.com

CYZE PRODUCTION

Le K8L désigne les versions basse consommation du K8.

K9

L'architecture K9 ne sera pas commercialisée. AMD passera directement au K10.

K10 (2007)

Le K10 désigne le "AMD Next Generation Processor Technology". Il s'agit des premiers CPU multi-core natifs destinés à rattraper le retard d'AMD face aux Core2Duo de Intel et leur déclinaison quad-core. En raison du caractère natif de l'architecture, il est proposé une déclinaison assez variée de processeurs allant du simple-core au quad-core.

Domaine	Modèle	C ur	Nbre de c urs	Socket	Commercialisation
Serveur	Opteron	Barcelona	4	F+	Automne 2007
Haut de gamme	Phenom FX	Agena FX , Deneb FX	4	F+ / AM2+ , AM3	2nd trim. 2008
	Phenom 9xxx	Agena , Deneb , Propus	4	AM2+ , AM3	2nd trim. 2008
Milieu de gamme	Phenom 8xxx	Toliman , Heka	3	AM2+ , AM3	2nd trim. 2008
	Athlon 6xxx	Kuma , Regor	2	AM2+ , AM3	2nd trim. 2008
Entrée de gamme	Athlon LE-1xxx	Lima	1	AM2+	2nd trim. 2008
	Sempron LE-1xxx	Sparta	1	AM2+	2nd trim. 2008

Annexes

- [Le Guide des x86](#)

[\[Enrouler\]](#)

x · d · m	
Microprocesseurs AMD	
Architecture	K5 · K6 · K7 · K8 · K8L · K10
Socket	Socket 7 · Socket Super 7 · Socket A · Socket 563 (en) · Socket S1 · Socket 754 · Socket 939 · Socket
Processeurs antérieurs à K7	Am2900 (en) · AMD 29000 · 8086 · 8088 · 80286 · Am286 · Am386 · Am486 · Am5x86 · SSA5 · Sk
Athlon	Athlon · Athlon XP · Athlon 64 · Athlon 64 X2 · Athlon FX · Athlon II
Phenom	Phenom · Phenom II
Duron / Sempron	Duron · Sempron
Mobile	Mobile Athlon XP · Mobile Athlon 64 · Turion 64 · Turion 64 X2 · Turion 64 Ultra
Serveur	Athlon MP · Opteron
Autres	Geode · Alchemy
Chipset	ATI · AMD (en)

Liste des produits Motorola

Ce qui suit est une liste classée par catégorie de produits [Motorola](#); des appareils pour utilisateur finaux aussi bien que les [semi-conducteurs](#) pour industriels ([circuits intégrés](#), ICs), tout ce qui entoure un système radios, téléphones portables, [microprocesseurs](#), [microcontrôleurs](#), et processeurs de signaux numériques ([DSP](#)).

Radio et équipements en relation

- [GP320](#)
- [GP340](#)
- [GP360](#)
- [GP380](#)

Téléphones portables

Analogiques

- [MicroTAC 550](#)
- [MicroTAC 650](#)
- [MicroTAC Elite](#)
- [MicroTAC Lite XL](#)

TDMA

- [StarTAC](#) (TDMA)

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

- Timeport (TDMA)
- C331t
- C353t
- V60i
- V60t
- V60t Couleur
- V120t

GSM/GPRS

- 388c
- A009
- A388
- A630
- A760 Basé sur Linux, développé et présenté en Chine
- A768
- A780
- A840 (CDMA pour US, GSM pour Europe/Asie)
- A6288
- C115
- C139
- C155
- C205
- C250
- C256
- C331g
- C332
- C333 (GSM)
- C350g
- C353
- C359
- C370
- C380
- C450
- C550
- C650

Tél : (00229) 96 15 81 18

E-mail : cyze2002@yahoo.fr / cyze2002@hotmail.com

CYZE PRODUCTION

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

- [MOTOROKR E1](#)
- [E365](#) présenté en Chine
- [E380](#)
- [E398](#)
- [E550](#)
- [E680](#)
- [MOTOKRZR K1](#)
- [L2](#)
- [L6](#)
- [L6 i-mode](#)
- [MOTOSLVR L7](#)
- [L7 i-mode](#)
- [MPx200](#)
- [MPx220](#) (opère sur les 4 fréquences GSM - 850/900/1800/1900)
- [StarTAC](#) (GSM)
- [Timeport](#) (GSM)
- [T191](#)
- [T280i](#)
- [T720](#) (GSM 850/1900)
- [T720i](#) (GSM 1900)
- [T721](#) (GSM 850/1900)
- [T722i](#) (GSM 1900)
- [T725](#) (GSM 900/1800/1900)
- [T725e](#) (GSM 850/1800/1900)
- [MOTOPEBL U6](#)
- [MOTORAZR V3](#)
- [MOTORAZR V3i](#)
- [MOTORAZR V3x](#)
- [V60g](#)
- [V66](#)
- [V66i](#)
- [V70](#)
- [V80](#)
- [V100](#)
- [V150](#)

Tél : (00229) 96 15 81 18

E-mail : cyze2002@yahoo.fr / cyze2002@hotmail.com

CYZE PRODUCTION

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

- [V180](#)
- [V220](#)
- [V300](#)
- [V303](#)
- [V360](#)
- [V400](#)
- [V400p](#)
- [V500/V501/V505/V525](#) (opère sur les 4 fréquences GSM - 850/900/1800/1900)
- [V535/V545/V550/E550](#) (opère sur les 4 fréquences GSM - 850/900/1800/1900)
- [V551](#)
- [V555](#)
- [V600](#) (opère sur les 4 fréquences GSM - 850/900/1800/1900)
- [V620](#)
- [V690](#)
- [V750](#)
- [V872](#)
- [V878](#)
- [W220](#)
- [MOTORIZR Z3](#)

[CDMA](#)

- [A840](#) (CDMA pour US, GSM pour Europe/Asie)
- [C333](#) (CDMA)
- [C341](#)
- [C343](#)
- [C343a](#)
- [E310](#)
- [StarTAC](#) (CDMA)
- [Timeport](#) (CDMA)
- [T300p](#)
- [T720](#) (CDMA)
- [T730](#)
- [T731](#)
- [V120c](#)
- [V120e](#)

CYZE PRODUCTION

VOUS PRESENTELE COURS SUR LES MICROPROCESSEURS ET LEURS FABRICANTS

- V120x
- V60
- V60c
- V60p
- V60v - Écran couleur
- V60x
- V65p
- V260
- V265
- V710
- V810
- W200

iDEN

- i30sx - Nextel and Southern LINC
- i35s - Nextel and Southern LINC
- i50sx - Nextel
- i55sr / i58sr - Nextel and Southern LINC
- i60c - Nextel
- i80s - Nextel and Southern LINC
- i85s - Nextel and Southern LINC
- i90c - Nextel and Southern LINC
- i95cl / i90cl - Nextel and Southern LINC
- i205 - Nextel and Southern LINC
- i305 - Nextel and Southern LINC
- i315 - Nextel and Southern LINC
- i325 - Nextel and Southern LINC
- i710 / i730 / i733 - Nextel and Southern LINC
- i830 / i833 - Nextel and Southern LINC
- i860 - Nextel and Southern LINC
- i930 - Nextel

WCDMA (UMTS)

- A830
- A835
- A845

Tél : (00229) 96 15 81 18

E-mail : cyze2002@yahoo.fr / cyze2002@hotmail.com

CYZE PRODUCTION

- [A920](#)
- [A925](#)
- [A1000](#)
- [C975](#)
- [C980](#)
- [E1000](#)
- [MOTORAZR V3xx](#)
- [MOTORAZR² V9](#)
- [V975](#)
- [V980](#)
- [V1000](#)

Semiconducteurs

Microprocesseurs

- [Motorola MC14500B](#) Unité de contrôle industriel (ICU) (1-bit)
- [Motorola 6800](#) (8 bits)
- [Motorola 6802/6808](#) (8 bits)
- [Motorola 6809](#) (8/16 bits)
- [Motorola 68000](#) (16/32 bits)
- [Motorola 68008](#) (8/16/32 bits)
- [Motorola 68010](#) (16/32 bits)
- [Motorola 68012](#) (16/32 bits)
- [Motorola 68020](#) (32 bits)
- [Motorola 68030](#) (32 bits)
- [Motorola 68881](#) (FPU)
- [Motorola 68882](#) (FPU)
- [Motorola 68040](#) (w/FPU)
- [Motorola 68060](#) (w/FPU)
- [Motorola 88000](#)
- [Motorola DragonBall](#)
- [Motorola ColdFire](#)
- [PowerPC](#) (Architecture 32/64 bits, en coopération avec [IBM](#)):
 - PPC 601 ("G1")
 - PPC 604 ("G2")
 - PPC 740/750/745/755 ([PowerPC G3](#))

- PPC 7400/7410/7450/7455 ([PowerPC G4](#))
- Freescale e300 83xx PowerQUICC II Pro Family
- Freescale e500 85xx PowerQUICC III Family
- Freescale e600 86xx Future chip
- Freescale e700 87xx Future chip

Microcontrôleurs]

- [Motorola 6801/6803](#)
- [Motorola 6804](#)
- [Motorola 6805/146805](#)
- [Motorola 68HC05](#) (CPU05)
- [Motorola 68HC08](#) (CPU08)
- [Motorola 68HC11](#) (CPU11)
- [Motorola 68HC12](#) (CPU12)
- [Motorola 68HC16](#) (CPU16)
- [Motorola 683XX](#) (CPU32)
- [Motorola DSP56800](#) (contrôleur DSP)
- basé sur [PowerPC](#)
- [Motorola MPC500](#)
- MPC 860 (PowerQUICC)
- MPC 8240/8250 (PowerQUICC II)
- MPC 8540/8555/8560 (PowerQUICC III)

Processeurs à signaux digitaux (DSP)

Note: la série des 56XXX est communément connue comme étant la série des 56000, ou 56K, et de la même manière celle des 96XXX est connue comme étant la série des 96000, ou 96K.

- [Motorola DSP560XX](#) (24 bits)
- [Motorola DSP563XX](#) (16/24 bits)
- [Motorola DSP566XX](#) (16 bits)
- [Motorola DSP568XX](#) (contrôleur DSP)
- [Motorola DSP96XXX](#) (32 bits)

Infrastructure pour réseau mobile

- BSC (GSM)
- RXCDR (GSM)
- Horizon 2 Macro BTS (GSM)

- Horizon 2 Mini BTS (GSM)
- PCU (GSM)
- MSS - Mobile Soft Switch (Multiples technologies)

Processeur ARM

Les processeurs **ARM**, construits par [Advanced RISC Machines](#), sont basés sur une architecture [RISC 32 bits](#). C'est une architecture qui a été développée par la société [ARM Ltd.](#).

Présentation des processeurs ARM

L'architecture ARM était initialement destinée à un ordinateur de la société [Acorn](#), puis elle a été complétée pour devenir une offre indépendante pour le marché de l'électronique embarquée. ARM est l'acronyme de Advanced Risc Machine, précédemment Acorn Risc Machine.

Une particularité des processeurs ARM est leur mode de vente. En effet, [ARM Ltd.](#) ne fabrique ni ne vend ses processeurs sous forme de [circuits intégrés](#). La société vend les licences de ses processeurs de manière à ce qu'il soient intégrés dans le silicium par d'autres fabricants. Aujourd'hui, la plupart des grands fondeurs de puces proposent de l'architecture ARM.

Le c ur le plus célèbre est l'ARM7TDMI qui comporte 3 niveaux de [pipeline](#). De plus, le ARM7TDMI dispose d'un second jeu d'instructions appelé THUMB permettant le codage d'instructions sur 16 bits et, ainsi, de réaliser un gain de mémoire important, notamment pour les applications embarquées. L'architecture ARM est également très répandue dans la téléphonie mobile. De nombreux systèmes sont portés sur cette architecture. À savoir [Linux](#) (qu'utilise notamment [Android](#)), [Symbian](#) S60 avec les [Nokia N97](#) ou Samsung [player HD](#), [iPhone OS](#) avec l'[iPhone](#), et Windows Mobile.

[ARM Ltd.](#) a ensuite développé le c ur ARM9 qui comporte 5 niveaux de pipeline. Cela permet ainsi la réduction du nombre d'opérations logiques sur chaque cycle d'horloge et donc une amélioration des performances en vitesse.

Technologies

Explications sur les technologies listées dans la liste des processeurs qui suit.

- [MMU](#) : Gestionnaire de mémoire permettant d'avoir une sécurité accrue (uniquement présente sur l'ARM710 et les ARM9). La MMU permet l'adressage virtuel de la mémoire, elle est nécessaire

pour faire fonctionner certains systèmes d'exploitation comme Windows CE ou la plupart des Linux¹.

- **DSP** : composant électronique optimisé pour les calculs. Son application principale est le traitement du signal numérique (filtrage, extraction de signaux, etc.).
- **FPU** : Unité de calcul sur les nombres flottants
- **Jazelle** : Optimisation pour Java, en particulier pour limiter l'empreinte mémoire de la machine virtuelle. l'architecture Jazelle est en réalité une JVM (java virtual machine) câblée en dur dans le processeur.
- **Thumb** : Codage d'instructions sur 16 bits (au lieu de 32 bits) permettant un gain de mémoire important

Divers processeurs ARM

ARM1 (1985) : premier prototype de coeur ARM

- Famille **ARM2** (1987) : premier ARM commercialisé dans l'Archimedes d'Acorn : Pipeline 3 niveaux, adressage sur 24 bits alignés (16 mébimots de 32 bits soit 64 Mio adressables), 8MHz puis 12MHz
- Famille **ARM3** : Interface FPU, fréquence 25 puis 33 MHz, 4K cache
- Famille **ARM4**
- Famille **ARM4T**
- Famille **ARM5TE** (2000) : arrivée de Thumb et de fonctionnalités de DSP
- Famille **ARM5TEJ** (2000) : arrivée de Jazelle
- Famille **ARM6** sorti en 1990 (cf [ARM Wiki UK](#))
 - avec Jazelle (2001)
 - ARM1136J(F)-STM (été [2002](#))
 - ARM1156T2(F)-S ([2003](#))
 - ARM1176JZ(F)-S (2003)
- Famille **ARM7** :
 - ARM720T (MMU)
 - ARM7TDMI
 - ARM7TDMI-S
 - ARM7EJ-S : DSP et Jazelle
- Famille **ARM9** (5 niveaux de pipeline sur les entiers, MMU) : ARM920T (double cache de 16 Ko) et ARM922T (double cache de 8 Ko)
- Famille **ARM9E**
 - ARM946E-S : DSP, double cache, MPU, 1 port AHB

- [ARM926EJ-S](#): DSP, double cache, MMU, 2 ports AHB
- ARM966E-S : DSP, double cache, MPU, 1 ports AHB
- Famille **ARM10E**
 - ARM1020E : DSP, double cache de 32 Ko, MMU
 - ARM1022E : identique au ARM1020E, sauf le double cache de 16 Ko
 - ARM1026EJ-S
- Famille **ARM11** : SIMD, Jazelle, DSP, Thumb-2
 - ARM1136JF-S : [EPLI](#)
 - ARM1156T2-S
 - ARM1156T2F-S : [EPLI](#)
 - ARM1176JZ-S
 - ARM1176JZF-S : [EPLI](#)
- Famille **CORTEX-A**, application processeur : Architecture ARMv7-A, SIMD, Jazelle, DSP, Thumb-2
 - CORTEXA8
 - CORTEXA9
 - CORTEXA9MP : CORTEXA9 version multiprocesseur (1 a 4 CPU)
- Famille **CORTEX-R**, real time processeur : Architecture ARMv7-R
 - CORTEXR4
- Famille **CORTEX-M**, embedded processor : Architecture ARMv7-M
 - CORTEXM3