

**République Algérienne Démocratique et Populaire**  
**Ministère de l'Enseignement Supérieur et de La Recherche Scientifique**

**UNIVERSITE SAAD DAHLEB DE BLIDA**  
**FACULTE DES SCIENCES DE L'INGENIEUR**  
**DEPARTEMENT D'ELECTRONIQUE**

## **Mémoire de fin d'études**

Pour l'obtention du diplôme  
D'ingénieur d'état en électronique

### **THEME**

## **Contribution à la Conception d'un Amplificateur à Faible Bruit pour les Applications WLAN 802.11**

LIEU DE STAGE : Centre de Développement des Technologies Avancées  
[Division de Microélectronique et Nanotechnologie]

**Proposé par :**

M. SLIMANE Abdelhalim

**Co-Promoteur :**

M. AIT SAADI Hocine

**Présenté par :**

BOUCHIREB Mohamed Lamine  
LOUNIS Nassim

**Promotion : 2008**

***Option : Communication***

## *Remerciements*

Toute notre gratitude, grâce et remerciement au bon Dieu qui nous a donné la force, le courage et la volonté d'élaborer ce travail

Nous tenons d'abord à remercier notre promoteur Mr SLIMANE abdelhalim pour nous avoir encadré, aidé et encouragé pour mener à bien ce travail sans oublier le co-promoteur Mr AIT SAADI.

Nous remercions aussi Mr Le Directeur du centre ainsi que le chef de division (Microélectronique et Nanoélectronique) pour leurs bienveillance

Nous remercions également les membres de jury pour l'honneur qu'ils nous font de juger notre travail, nous remercions l'ensemble des enseignants de l'université de Blida.

## *Dédicaces*

Je dédie ce modeste travail :

- A mes très chers parents qui m'ont tant donné et tant sacrifié, que

Dieu les protèges.

- A ma chère sœur.
- A mes chers frères.
- A mes amis.
- A toute ma famille
- A toutes les personnes qui ont toujours été présentes pour me  
donner courage et volonté.

BOUCHIREB Mohamed Lamine

## *Dédicaces*

Avant de terminer la présente œuvre, je tiens à dédier celle-ci :

- A mes chers parents qui m'ont souvent aidé dans mes études pour concrétiser ce modeste travail.
- A mes chers soeurs et mon cher frère pour leurs aides et leurs soutiens.
- A mes amis, pour leurs aide et soutien, ainsi qu'à ceux qui ont participé de près ou de loin à la réalisation de ce mémoire.
- En outre, je dédie ce mémoire à toute ma famille, ainsi qu'à mes amis.

LOUNIS Nassim

# Sommaire

<b>SOMMAIRE.....</b>	<b>6</b>
<b>INTRODUCTION.....</b>	<b>8</b>
<b>1 CHAPITRE GÉNÉRALITÉS SUR LES BLOCS RADIOFRÉQUENCES.....</b>	<b>10</b>
1.1 INTRODUCTION :	11
1.2 LES SYSTÈMES RADIOFRÉQUENCES :	11
1.2.1 Architectures des Récepteurs :	12
1.2.2 Performances des Récepteurs :	14
1.3 BLOCS RF ET LEURS CARACTÉRISTIQUES ASSOCIÉES :	16
1.3.1 Gain et adaptation d'impédance :	16
Facteur de bruit :	19
1.3.2 Linéarité :	21
1.4 L'IMPORTANCE DE L'AMPLIFICATEUR À FAIBLE BRUIT DANS UN RÉCEPTEUR :	23
1.5 CONCLUSION :	23
<b>2 CHAPITRE TECHNOLOGIE CMOS EN RF.....</b>	<b>24</b>
2.1 INTRODUCTION :	25
2.2 EVOLUTION DE LA TECHNOLOGIE CMOS :	25
2.3 MOSFET.....	26
2.3.1 Description Physique du MOSFET :	26
2.3.2 Mode de fonctionnement du MOSFET :	27
2.3.3 Réponse en fréquence du MOSFET :	28
2.3.4 Sources de bruit du MOSFET :	35
2.4 CAPACITÉS INTÉGRÉES :	39
2.5 INDUCTANCES INTÉGRÉES :	39
2.5.1 Calcul du facteur de qualité de l'inductance :	42
2.6 CONCLUSION :	44
<b>3 CHAPITRE ARCHITECTURES ET MÉTHODOLOGIES DE CONCEPTION DES LNAS.....</b>	<b>45</b>
3.1 INTRODUCTION :	46
3.2 TOPOLOGIES DE L'AMPLIFICATEUR À FAIBLE BRUIT :	46
3.2.1 Amplification à terminaison résistive :	47
3.2.2 Amplificateur à contre-réaction résistive :	47
3.2.3 Amplificateur à terminaison en $1/g_m$ :	48
3.2.4 Amplificateur à source de dégénérescence inductive :	50
3.3 MÉTHODOLOGIE DE CONCEPTION D'UN LNA :	52
3.3.1 Adaptation en entrée :	52
3.3.2 Dimensionnement du transistor :	55

3.3.3 <i>Adaptation en sortie</i> .....	56
3.4 CONCLUSION.....	60
<b>4 CHAPITRE CONCEPTION ET RÉSULTATS DE SIMULATION.....</b>	<b>61</b>
4.1 INTRODUCTION.....	62
4.2 STANDARD WLAN :.....	62
4.3 CAHIER DE CHARGES : .....	63
4.4 TECHNOLOGIE CMOS UTILISÉE : .....	65
4.5 PARTIE CONCEPTION ET SIMULATION : .....	65
4.5.1 <i>Méthode analytique</i> : .....	65
4.5.2 <i>Méthode classique sous contrainte de la consommation de puissance</i> :.....	70
4.5.3 <i>Amplificateur à faible bruit Bi-Bande 2.4 GHz et 5.2 GHz</i> :.....	81
4.5.4 <i>Récapitulation des résultats</i> :.....	87
4.6 CONCLUSION : .....	87
<b>CONCLUSION.....</b>	<b>89</b>
<b>BIBLIOGRAPHIE.....</b>	<b>90</b>
<b>ANNEXE 1.....</b>	<b>93</b>
.....	94
<b>ANNEXE 2.....</b>	<b>95</b>

## Introduction

Durant les dernières années, beaucoup d'attention a été portée à la conception des circuits intégrés à haute performance dans les domaines radiofréquences et micro-ondes. Elle s'est nettement améliorée avec l'évolution de la technologie CMOS qui a ouvert le champ d'applications afin d'intégrer dans une seule puce des fonctions de plus en plus complexes analogiques, numériques et mixtes. Par ailleurs, le faible coût, la faible consommation de puissance et la haute performance restent les paramètres clés de la fabrication des circuits intégrés dans tout projet de grande envergure destinés à la production à grand volume.

En raison de la demande croissante sur les émetteurs-récepteurs sans fil, de nombreux travaux continuent à se faire tant au niveau système qu'au niveau circuit. En dépit de l'avancée spectaculaire de la conception digitale en technologie CMOS et les nombreuses tentatives de numérisation de toute la chaîne de réception radiofréquence, le frontal analogique radiofréquence reste inéluctable. Ainsi, un grand intérêt est donné aux circuits analogiques et radiofréquences de ce frontal tels que l'amplificateur à faible bruit, l'oscillateur, le mélangeur, les filtres, ...etc. Par conséquent, le travail de ce mémoire va être consacré au premier élément clé de la chaîne de réception, en l'occurrence, l'amplificateur à faible bruit (**Low Noise Amplifier**). Il s'agit donc de concevoir un LNA qui sera utile pour les applications des réseaux locaux sans fils (**Wireless Local Area Network**) qui se répandent de plus en plus afin d'améliorer le débit de transfert de données.



**Figure A : les réseaux locaux sans fils (WLAN 802.11).**

Le premier chapitre fera l'objet d'une introduction sur la thématique de conception des circuits intégrés radiofréquences où on donnera quelques généralités sur les architectures des

récepteurs ainsi que les caractéristiques essentielles utilisées pour l'estimation de la performance globale du récepteur qui sont données en terme de sensibilité et de sélectivité. En outre, un aperçu général sera donné sur les blocs constituant le récepteur, à savoir, le filtre, l'amplificateur à faible bruit, le mélangeur et l'oscillateur local. En dernier lieu, on parlera des performances liées à ces blocs (Gain, NF (Noise Factor), ICPI (Interception Compression Point)) et l'influence qui pourrait avoir lieu sur l'ensemble de la chaîne de réception. Pour le deuxième chapitre, on se focalisera sur la technologie CMOS et son utilisation pour la conception des circuits intégrés où on décrira d'une façon succincte les composants qui peuvent être réalisés en CMOS tels que le MOSFET, les inductances intégrés et les capacités intégrés. Le chapitre suivant sera donc destiné aux topologies des amplificateurs faible bruit ainsi que leur méthodologie de conception. Pour le dernier chapitre, on se focalisera sur la conception et les résultats de simulation. Deux approches seront utilisées pour la conception des LNA unibande et à faible bruit fonctionnant à deux fréquences différentes, en l'occurrence, 2.4 GHz et 5.2 GHz. Enfin on achèvera ce travail par la conception d'un LNA bibande fonctionnant à ces deux fréquences simultanément.



# **1 Chapitre**

## **Généralités sur les blocs radiofréquences**

## 1.1 Introduction :

Dans ce premier chapitre, on a essayé de décrire quelques architectures des récepteurs radiofréquences, les plus utilisées, où on s'est étalé sur leur mode de fonctionnement, leurs particularités ainsi que leurs performances. En suite, on a donné un aperçu sur les différents blocs composants la chaîne de ces récepteurs, à savoir, l'amplificateur faible bruit, le mélangeur, l'oscillateur...etc. Par ailleurs, un intérêt particulier est également donné aux différents paramètres qui peuvent déterminer la performance de chaque bloc tel que le facteur de bruit, le gain et le point de compression.

## 1.2 Les systèmes radiofréquences :

Les systèmes de radiocommunication sont des systèmes qui transmettent l'information par l'intermédiaire des ondes hertziennes. Le schéma de principe d'un tel système est illustré à la Figure 1-1, il est composé d'une partie émission et d'une partie réception. Le rôle de la partie émission est d'adapter le signal d'information à la bande passante du canal de transmission, elle module et transpose le signal à une fréquence adaptée à la transmission hertzienne. Le signal modulé peut alors être émis par l'antenne. Le rôle de la partie réception est l'opération inverse, elle démodule le signal reçu et le transpose en basse fréquence pour permettre le traitement de l'information reçue. Afin de transmettre plusieurs informations en parallèle, les systèmes radiofréquences peuvent utiliser plusieurs canaux dans la plage de transmission.

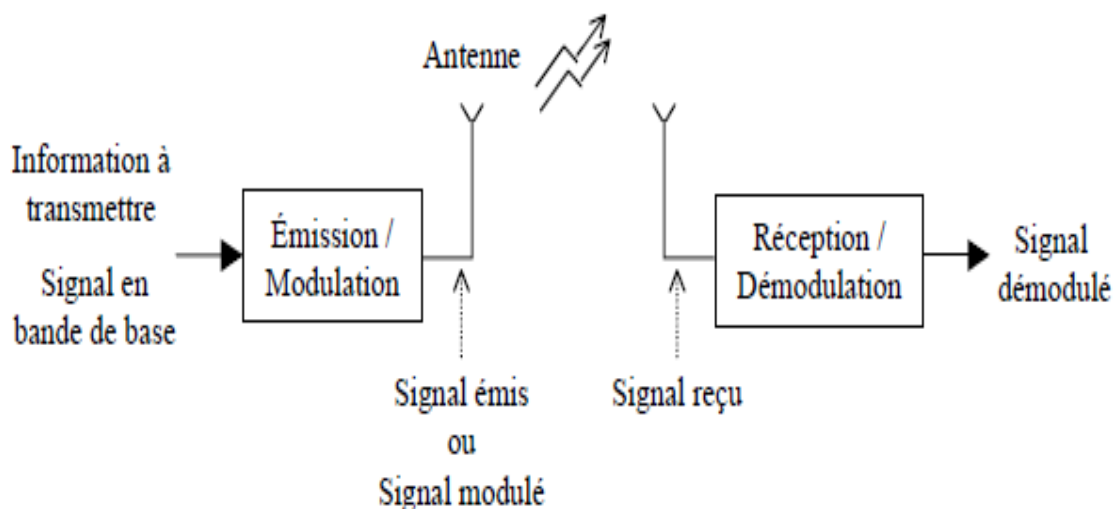


Figure 1-1 : Système de radiocommunication.

### 1.2.1 Architectures des Récepteurs :

La partie RF d'un récepteur a pour rôle de transposer la fréquence à traiter vers une fréquence intermédiaire [1][2], généralement inférieure à celle reçue, cette fréquence doit être choisie en fonction des capacités offertes par le démodulateur ainsi que par celles du bloc réalisant le traitement numérique. Elles sont étroitement liées aux performances demandées. Nous pouvons distinguer trois grandes familles de récepteurs, suivant le passage des fréquences RF vers les basses fréquences, soit directement (récepteur homodyne / récepteur à faible fréquence intermédiaire) ou plusieurs étapes (récepteur hétérodyne).

#### 1.2.1.1 Architecture Hétérodyne :

C'est l'architecture la plus classique. Le principe du récepteur superhétérodyne (figure 1-2) consiste à la transposition de la bande du signal RF reçue autour d'une fréquence intermédiaire (FI) fixe. Si cette transposition se fait en une seule étape, le récepteur est hétérodyne, si elle nécessite plusieurs étapes alors le récepteur est appelé superhétérodyne.

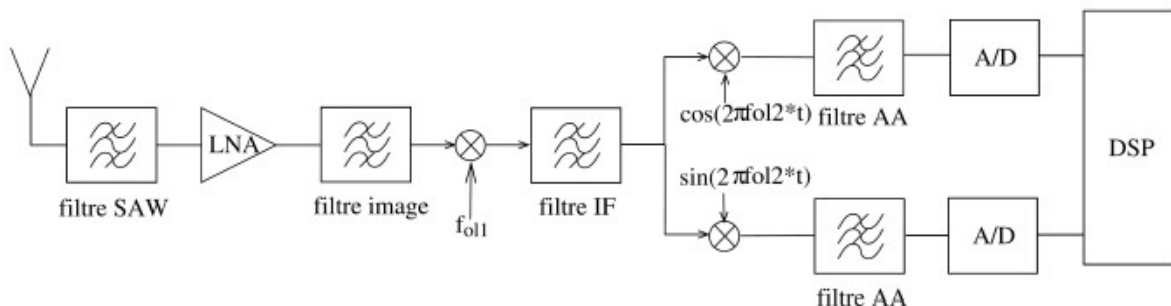
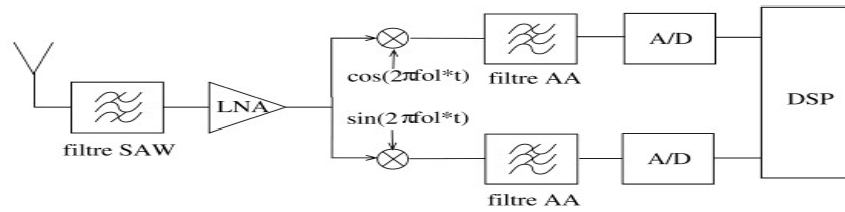


Figure 1-2 : Architecture d'un récepteur superhétérodyne.

Ce type de récepteur est le plus utilisé dans les mobiles de deuxième génération, grâce à ses bonnes performances en termes de sélectivité et de sensibilité, mais elle est consommatrice et incompatible aux applications multistandards.

#### 1.2.1.2 Architecture Homodyne :

Dans ce type de récepteur, après le filtrage radiofréquence et l'amplification à faible bruit, le signal utile est directement transposé autour de la fréquence nulle à l'aide d'un oscillateur local (OL) fonctionnant à une fréquence égale à celle du canal sélectionné (figure 1-3).

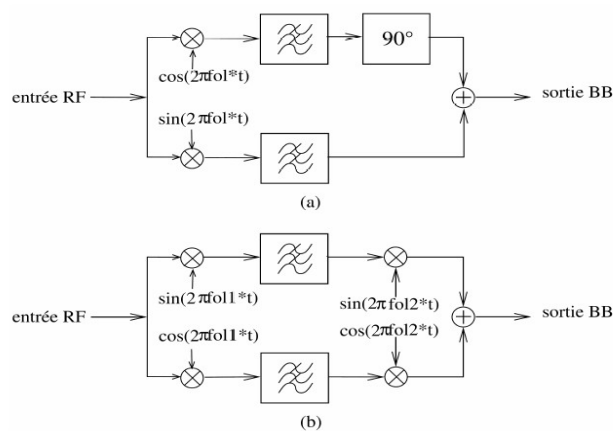


**Figure 1-3 : architecture d'un récepteur homo dyne.**

Cette architecture a fait l'objet d'une recherche intensive grâce à ses avantages par rapport à la structure hétérodyne surtout sur l'aspect intégration et consommation de puissance et donc le coût, mais elle est sensible au bruit en  $1/f$  et aux problèmes d'offset (DC)[3-6]. De ce fait, c'est l'architecture la mieux adaptée pour l'UMTS et le WLAN.

### 1.2.1.3 Récepteur à faible fréquence intermédiaire:

C'est une solution intermédiaire entre les deux précédentes. Son principe consiste à transposer le signal RF à une fréquence intermédiaire très faible (de l'ordre de deux ou trois fois la largeur de la bande utile). Par ailleurs, sa partie analogique est similaire à celle du récepteur homodyne, la figure 1-4 présente ainsi un exemple de cette architecture.



**Figure 1-4 : récepteur à rejection d'image structure de Hartley (a) et Weaver (b)[7-8].**

En récapitulant, l'architecture hétérodyne, malgré sa maîtrise de conception, présente des inconvénients incontournables de par sa complexité et de son incompatibilité avec les systèmes multimodes / multibandes. Par contre, les architectures Zero-IF remplissent parfaitement le rôle de configurabilité, de flexibilité sur chacun des blocs constitutifs de l'architecture. L'architecture à faible FI offre de réelles potentialités grâce à son haut niveau d'intégration mais elle est plus efficace pour les standards à bande étroite que pour les standards à large bande.

## 1.2.2 Performances des Récepteurs :

### 1.2.2.1 Sensibilité :

La sensibilité est la puissance minimale à l'entrée d'un récepteur qui donne un rapport signal sur bruit SNR correspondant à un taux d'erreur bit TEB donné (BER : Bit error rate) assez suffisant pour détecter le signal dans de bonnes conditions. Cette grandeur est principalement déterminée par le facteur de bruit global du récepteur ainsi que sa bande passante (Figure 1-5).

$$\text{Sensibilité ( dBm )} = \text{NF (dBm)} + \text{SNR}_{\text{out}} \text{ (dB )} + \text{N}_{\text{plancher}} \text{ ( dBm )} \quad (1.1)$$

Où  $\text{SNR}_{\text{out}}$  est le rapport signal sur bruit requis à la sortie du récepteur pour avoir un TEB adéquat. Le TEB dépend du type de modulation et du détecteur utilisé.  $\text{N}_{\text{plancher}}$  est le plancher de bruit du récepteur déterminé par la puissance du bruit à son entrée  $N_{\text{in}}$  et sa bande passante  $B$ . La relation liant ces deux dernières grandeurs au plancher de bruit est donnée par :

$$\text{N}_{\text{plancher}} \text{ ( dBm )} = \text{N}_{\text{in}} + 10 \log ( B ) \quad (1.2)$$

Dans le cas où l'entrée du récepteur est adaptée à l'impédance de l'antenne ( $50 \Omega$ ), la puissance du bruit vaut  $-174$  dBm. Ce plancher peut être réduit uniquement en réduisant la bande passante au détriment du débit de transmission. Selon la relation (1.1), plus le facteur de bruit du récepteur est élevé moins est la sensibilité. D'où l'intérêt de réduire le NF du récepteur pour diminuer la puissance de l'émetteur et augmenter la distance entre l'émetteur et le récepteur. A partir des équations (1.1) et (1.2), le facteur de bruit d'un récepteur est donné par :

$$\text{NF(dB)} = \text{Sensibilité ( dBm )} - \text{SNR}_{\text{out}} \text{ ( dB )} - 10 \log ( B ) + 174 \quad (1.3)$$

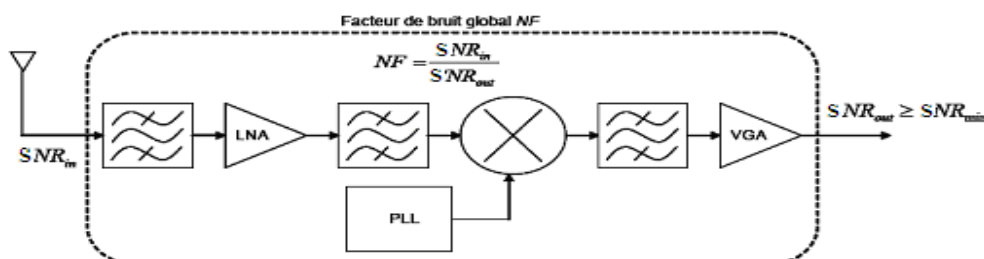


Figure 1-5 : Influence du facteur de bruit d'un récepteur sur le SNR à la sortie.

### 1.2.2.2 Sélectivité :

La sélectivité est la capacité du récepteur à détecter le canal désiré malgré la présence des canaux adjacents et de signaux de blocage (bloqueurs de bande ou/et hors-bande). Les puissances et la distribution de ces bloqueurs sont définies par le standard. Ainsi, on donne ici un exemple du profil de blocage de standard WLAN IEEE 802.11a comme montré sur la figure 1-6.

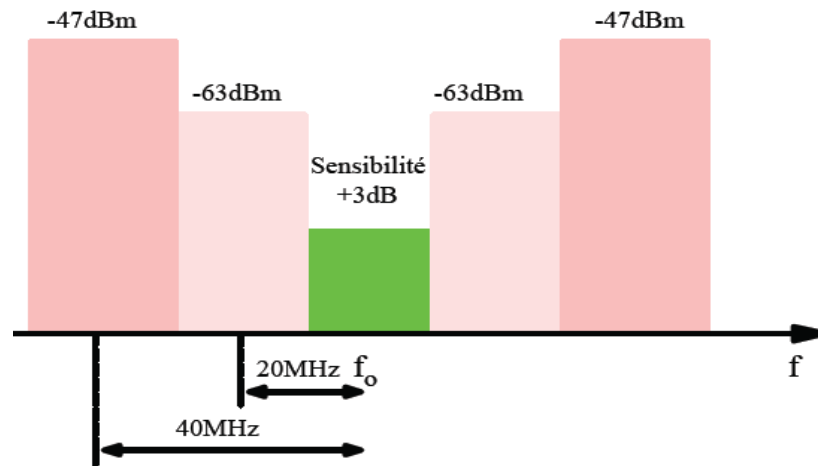


Figure 1-6 : Profil de blocage du standard WLAN 802.11a.

Le standard IEEE 802.11a spécifie uniquement le niveau du canal utile et les niveaux des canaux adjacents [9]. Les bloqueurs hors bande sont suffisamment atténués par le filtrage RF. La sélectivité est limitée par les non-linéarités du récepteur ainsi que le mélange réciproque du bruit de phase de l'oscillateur local avec les signaux interférents (bloqueurs). En effet, un bloqueur peut provoquer la dégradation du rapport signal sur interférence du signal utile par quatre mécanismes :

- 1- il peut réduire le gain du signal utile par compression.
- 2- il peut convertir les sources de bruit BF des amplificateurs dans la bande du signal utile par Mélange.
- 3- il peut passer par la non-linéarité de second ordre.
- 4- il peut être converti dans la bande du signal utile à la sortie du mélangeur par le bruit de phase de l'oscillateur local.

### 1.3 Blocs RF et leurs caractéristiques associées :

Implicitement, les architectures présentées précédemment mettent en évidence l'utilisation récurrente de certains blocs tels : amplificateurs faible bruit, mélangeurs, l'oscillateur local, ... etc. Toutefois, il reste à caractériser ces circuits suivant leurs fonctions propres et leurs places dans la chaîne de traitement. Pour cela, des caractéristiques générales (présentées ultérieurement) liées au gain, à la consommation de puissance, la linéarité, le facteur de bruit, ...etc. leur sont associées. Brièvement, on peut rappeler que :

- Un filtre SAW (de l'anglais *Surface Acoustic Wave*, « onde acoustique de surface ») est un système électromécanique utilisé généralement dans les récepteurs utilisant les ondes radio, il se trouve juste après l'antenne pour sélectionner le canal désiré. Il convertit les signaux électriques en onde mécanique par un cristal piézoélectrique, ensuite il reconvertisse en signal électrique.
- Le mélangeur réalise un décalage en fréquence du signal entrant ( $f_{RF}$ ) en l'additionnant (up) ou en le retranchant (down) au signal de l'oscillateur local ( $f_{LO}$ ). On récupère en sortie l'information soit à la fréquence ( $f_{LO}-f_{RF}$ ) soit à la fréquence ( $f_{LO}+f_{RF}$ ), soit aux deux. Ce circuit est largement présent à tous les niveaux de la chaîne de traitement radiofréquence.
- L'oscillateur local est un dispositif élémentaire dans la chaîne de réception, il est destiné à produire des courants alternatifs périodiques à une fréquence déterminée, il permet de convertir la haute fréquence reçue de l'émetteur exprimée en GHz, en une fréquence intermédiaire exploitable par le récepteur
- L'amplificateur faible bruit (LNA : Low Noise Amplifier) comme son nom l'indique donne du gain au signal entrant en lui ajoutant un minimum de bruit. Il est en général placé en tête de chaîne de réception derrière le filtre d'antenne.

#### 1.3.1 Gain et adaptation d'impédance :

La notion de gain est liée à la transmission de puissance et donc à l'adaptation d'impédance. Intuitivement, si l'on veut amplifier un signal, il convient d'abord de le récupérer correctement.

En prenant l'exemple de la figure 1-7, nous allons définir l'impédance optimale  $Z_L$  permettant de recueillir le maximum de puissance fournie par la source  $V_s$ , en fonction de son impédance  $Z_s$ .

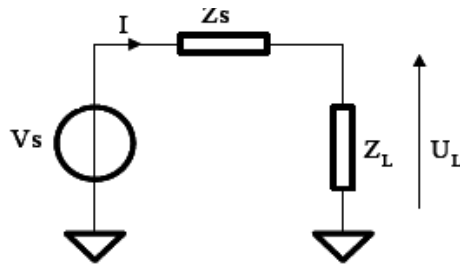


Figure 1-7 : Adaptation d'impédance.

La puissance consommée par la charge s'écrit:

$$P_L = U_L I^* \quad (1.4)$$

Où  $I^*$  est le complexe conjugué du courant  $I$ .

En dérivant cette expression (Annexe 1), nous obtenons alors les conditions dites d'adaptation d'impédance assurant un maximum de transfert de puissance de la source vers la charge :

$$Z_S = Z_L^* \quad (1.5)$$

En appliquant ce résultat à un système deux ports (figure 1-8), on obtient les conditions d'adaptations optimales permettant un maximum de transfert de puissance entre deux étages :

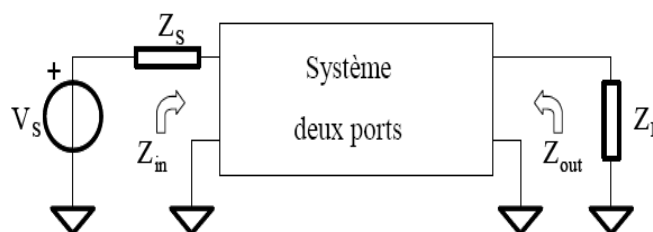


Figure 1-8 : Adaptation d'impédance d'un bloc dans une chaîne.

$$Z_S = Z_{in}^* \quad (1.6)$$

$$Z_L = Z_{out}^* \quad (1.7)$$



Généralement, les impédances des sources extérieures telles celles des filtres et antennes présentent une impédance faible et différente de l'impédance d'entrée des blocs de type LNA. Ainsi, il va donc falloir réaliser des adaptations d'impédance de surcroît, ne seront valables d'une part qu'à une certaine fréquence et d'autre part de la nature des impédances d'entrée liée à la topologie des blocs RF. Cette étape de conception est d'autant plus importante qu'elle va conditionner l'optimisation du gain de l'étage mis en cause. Prenons le système à deux ports de la figure 1-9 avec  $P_{MAX}$  comme puissance maximale que délivre la source, et  $P_{OMAX}$  comme puissance maximale en sortie, le gain en Puissance se définit comme suit :

$$G_p = \frac{P_{OMAX}}{P_{MAX}} \quad (1.8)$$

Si les entrées et sorties sont parfaitement adaptées, alors le maximum de puissance est délivré Et s'écrit :  $R_i$  : résistance d'entrée du bloc /  $R_s$  : résistance de la source /  $R_o$  : résistance de sortie /  $R_L$  : résistance de la charge.

$$G_p = \frac{P_o}{P_i} \text{ avec } R_i = R_s \text{ et } R_o = R_L \quad (1.9)$$

$$G_p = \left( \frac{V_{Orms}}{V_{Irms}} \right)^2 \frac{R_s}{R_L} \quad (1.10)$$

Avec rms = root mean square = valeur efficace

Ainsi si  $R_s = R_L$ , le gain de conversion en puissance peut s'écrire au moyen du gain en tension  $G_v$  du système :

$$G_v = \frac{V_o}{V_i} \Rightarrow G_{dB} = 20 \log G_v \quad (1.11)$$

$$G_p = \left( \frac{V_o}{V_i} \right)^2 \Rightarrow (G_p)_{dB} = 10 \log \left( \frac{V_o}{V_i} \right)^2 = 20 \log G_v \quad (1.12)$$

$$(G_p)_{dB} = 20 \log \left( \frac{V_o}{V_i} \right) \quad (1.13)$$

Il faut noter que ce jeu d'écriture est obtenu grâce à une parfaite adaptation d'impédance qui n'est jamais réellement atteinte. D'autre part, il faut noter en pratique que l'on trouvera aussi les puissances exprimées en dBm, cette mesure se définit comme le rapport entre la puissance fournie par le signal ramenée à  $50\Omega$  et  $1mW$  :

$$\text{Puissance de signal (dBm)} = 10 \log \frac{V_{rms}^2}{50 \Omega} \frac{1}{1mW} \quad (1.14)$$

Voici les données élémentaires dans le domaine du gain et de l'adaptation d'impédance qui furent observées lors de la conception des circuits développés dans le cadre de ce projet.

### Facteur de bruit :

Le facteur de bruit d'un récepteur ou d'un bloc RF, qui caractérise la dégradation du rapport signal sur bruit du signal d'entrée, est défini par :

$$F = \frac{\left( \frac{S_{IN}}{N_{IN}} \right)}{\left( \frac{S_{OUT}}{N_{OUT}} \right)} \quad (1.15)$$

Où  $S_{in}$ ,  $S_{out}$ ,  $N_{in}$  et  $N_{out}$  sont respectivement les puissances des signaux et des bruits à l'entrée et à la sortie du récepteur ou du bloc en question. Le facteur de bruit  $NF$  en dB est défini par  $10 \log F$ . En outre, la formule de Friis est utilisée afin de déterminer le facteur de bruit de la chaîne de réception en cascade, et ce, à partir des facteurs de bruit des différents blocs constituant cette chaîne comme le montre figure 1.9. Aussi, le gain global n'est que le produit des gains des différents blocs.

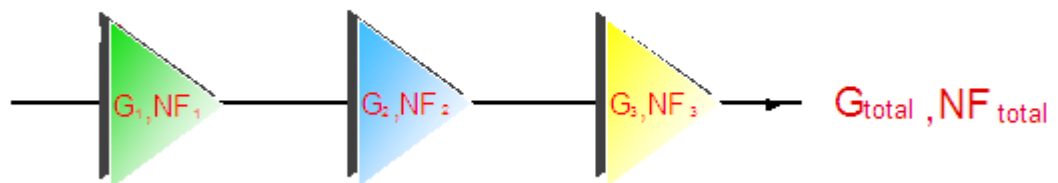


Figure 1-9 : Formule de Friis.

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 \cdot G_2} + \dots + \frac{F_N - 1}{G_1 \cdot \dots \cdot G_N} \quad (1.16)$$

$$G_{\text{tot}} = G_1 G_2 G_3 \quad (\text{gain totale}) \quad (1.17)$$

$F_n$  et  $G_n$  sont respectivement le facteur de bruit et le gain disponible du  $n$ -ième bloc. La formule précédente illustre bien l'intérêt d'avoir un premier bloc à gain élevé afin de réduire l'influence des étages suivants de la chaîne de réception sur le facteur de bruit total.

Elle montre aussi l'intérêt que ce premier bloc ait un facteur de bruit faible. Ce premier bloc est appelé communément amplificateur faible bruit. En général, la relation de Friis utilise le gain disponible dans le calcul du facteur de bruit.

Donc, pour qu'elle soit appliquée directement, les blocs doivent être adaptés en puissance entre eux à une impédance de référence (généralement 50  $\Omega$ ). Dans les récepteurs intégrés, les blocs ne sont pas forcément adaptés à l'impédance de référence. Par exemple, dans un récepteur à conversion directe intégré, la sortie de l'amplificateur faible bruit attaque directement l'entrée du mélangeur qui attaque à son tour les étages de bande de base. Les interfaces de ces derniers ne sont pas adaptées non plus. Dans ce cas, il est donc préférable de réécrire la formule de Friis avec les gains en tensions.

$$F = F_1 + \frac{F_2 - 1}{\alpha_1^2 A_{v1}^2} + \dots + \frac{F_n - 1}{(\alpha_1^2 \dots \alpha_{n-1}^2) (A_{v1}^2 \dots A_{vn-1}^2)}$$

(1.18)

Avec  $\alpha_i$  donné par :

$$\alpha_i = \frac{Z_{i,in}}{Z_{out,i-1} + Z_{in,i}}$$

(1.19)

$A_{vi}$  est le gain en tension sans charge du  $i$ -ème bloc.  $Z_{in,i}$  et  $Z_{out,i-1}$  sont respectivement l'impédance d'entrée et de sortie des  $i$ -ème et  $(i-1)$ -ème étages.

Le facteur de bruit d'un élément passif est identique à ses pertes d'insertion. Par conséquent, il est très important de minimiser les pertes du filtre de présélection ou du duplexeur ou d'un éventuel commutateur qui précède le LNA.

### 1.3.2 Linéarité :

#### 1.3.2.1 Point de compression à -1 dB :

La linéarité est d'une importance capitale dans les récepteurs et les émetteurs. En général, les circuits ou blocs actifs des récepteurs et émetteurs sont non-linéaires. Leur fonction de transfert peut être représentée par un système faiblement non-linéaire :

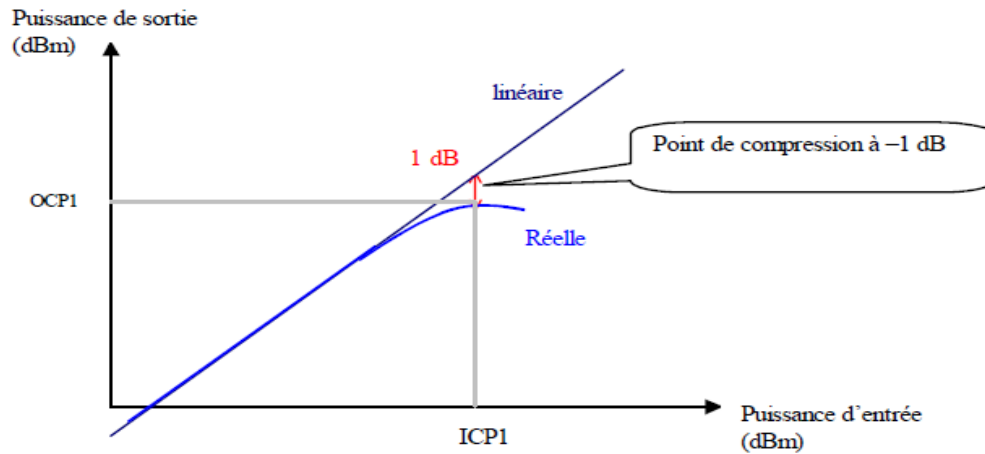
$$y(t) = \alpha_1 x(t) + \alpha_2 x^2(t) + \alpha_3 x^3(t) \quad (1.20)$$

Lorsqu'un système décrit par la fonction (1.20) est excité à son entrée par un signal sinusoïdal d'amplitude  $A$  et de fréquence  $f$ ,  $A \cos(2\pi f t)$ , sa réponse sera :

$$y(t) = \frac{\alpha_2 A^2}{2} + \left( \alpha_1 + \frac{3\alpha_3 A^2}{4} \right) A \cos(2\pi f t) + \frac{\alpha_2 A^2}{2} \cos(4\pi f t) + \frac{\alpha_3 A^3}{4} \cos(6\pi f t)$$

(1.21)

On constate que la composante fondamentale du signal de sortie dépend non seulement du terme de premier ordre  $\alpha_1$  mais aussi du terme de troisième ordre  $\alpha_3$ . Les termes  $\alpha_1$  et  $\alpha_3$  étant de signe opposé, le signal de sortie diminue lorsque l'amplitude  $A$  du signal d'entrée augmente. Le gain petit signal est égal à  $\alpha_1$ . Le gain de compression à 1 dB, qui correspond à la diminution du gain de 1 dB par rapport au gain petit signal, est généralement le plus utilisé (Figure 1-10). Le point de compression en entrée (sortie) est défini comme le niveau du signal d'entrée (de sortie) correspondant au gain de compression à -1 dB de la composante linéaire. Dans les récepteurs, le point de compression en entrée ICP1 (Input referred 1 dB Compression Point) est utilisé alors que dans les émetteurs c'est le point de compression en sortie OCP1 (Input referred 1 dB Compression Point) qui est utilisé. Par ailleurs, le point de compression est déterminé pour un récepteur par la puissance maximale tolérée à son entrée.



**Figure 1-10 : Point de compression à -1 dB ou ICP1.**

Dans les circuits RF, on définit alors le point de compression à -1 dB tel que pour une certaine puissance d'entrée donnée, le gain en puissance du circuit est inférieur de 1 dB à ce qu'il devrait être. La figure 1-11 illustre cette définition. La droite dite « linéaire » est l'interpolation de la puissance de sortie en fonction de la puissance d'entrée du circuit fonctionnant pour des puissances d'entrée moyennes, C'est-à-dire :  $20 \log \alpha_1$

La courbe « réelle » représente la puissance de sortie en fonction de la puissance d'entrée :

$$(1.22) \quad 20 \log \left| \alpha_1 + \frac{4}{3} \cdot \alpha_3 \cdot A^3 \right|$$

Lorsque la réponse réelle diffère de la réponse linéaire de -1 dB, alors on définit le ICP1 :

$$(1.23) \quad 20 \log \alpha_1 - 1 \text{ dB} = 20 \log \left| \alpha_1 + \frac{3}{4} \alpha_3 A_{-1\text{dB}}^2 \right|$$

$$A_{-1\text{dB}} = \sqrt{0.145 \left| \frac{\alpha_1}{\alpha_3} \right|}$$

L'ICP1 nous donne une information sur la faculté du circuit à transmettre linéairement de la puissance sur sa plage de fréquence de fonctionnement.

#### **1.4 L'importance de l'amplificateur à faible bruit dans un récepteur :**

Dans une chaîne de réception, l'amplificateur à faible bruit (LNA) est considéré comme un bloc très influent. En effet, les caractéristiques du LNA lui permettent de prendre une grande partie de responsabilité en déterminant la sensibilité d'un récepteur entier. Un gain élevé et un facteur de bruit le plus faible possible sont souhaitables pour cet étage afin de réduire l'influence des étages suivants de la chaîne de réception sur le facteur de bruit global du récepteur.

#### **1.5 Conclusion :**

Les architectures de réception radiofréquence ont été présentées dans un premier temps afin de définir le domaine au sein duquel s'inscrit le travail effectué. Ensuite, une description détaillée a été donnée afin de mettre en évidence les principales caractéristiques et performances du circuit radiofréquence à concevoir qui est l'amplificateur à faible bruit (LNA).

## **2 Chapitre**

# **Technologie CMOS en RF**

## 2.1 Introduction :

Dans ce chapitre, on parlera de l'évolution de la technologie CMOS et la possibilité de son utilisation en radiofréquence. Pour cela, une description physique et fonctionnelle sera évoquée à propos du transistor MOSFET qui est considéré comme l'un des éléments actifs de cette technologie. On donnera par la suite sa réponse en fréquence selon son mode d'utilisation dans la composition des cellules de base d'amplification les plus fréquentes telles que les montages du MOSFET en source commune, en grille commune et en drain commun. On évoquera aussi les sources de bruit et les capacités intrinsèques qui peuvent affecter le fonctionnement du MOSFET en haute fréquence. On donnera enfin un aperçu sur les capacités et les inductances intégrées qui représentent les éléments passifs de la technologie CMOS.

## 2.2 Evolution de la technologie CMOS :

Les technologies des circuits intégrés en compétition pour répondre à la demande du marché des communications sans fil sont le bipolaire et le CMOS et le mixte bipolaire-MOS (BiCMOS). Les transistors bipolaires en particulier, sont très performants et présentent certainement les fréquences de coupure les plus élevées, mais ces bandes de fréquence ne sont pas visées par le marché des communications mobiles dans un futur proche. De plus la technologie bipolaire vise des applications de haute vitesse et totalement analogiques mais elle reste non adaptée pour l'implantation des parties digitales en bande de base des terminaux portables de communication. La technologie CMOS est dès lors la meilleure candidate pour l'intégration d'un émetteur récepteur sur une même puce de silicium. Elle présente des performances micro-ondes sans cesse caractérisées par la réduction de la longueur du canal. Une fréquence de coupure record de 150 GHz a été atteinte expérimentalement avec une longueur de canal de 70 nm [11]. Les performances micro-ondes des circuits CMOS sont sensiblement améliorées, mais les avantages ultimes des circuits CMOS sont principalement : la haute densité d'intégration, la réduction drastique de la consommation en puissance, moins de capacités parasites et donc meilleures performances micro-ondes, meilleur contrôle du canal, plus grand courant de saturation.

La technologie CMOS a été considérée comme une technologie exotique pendant de nombreuses années, utilisée pour des applications très spécifiques, jusqu'à l'explosion de la demande en dispositifs à faible tension et à faible consommation pour le marché des appareils électroniques portables et des communications sans fils. Effectivement, la maturité des technologies CMOS et les récents progrès des transistors MOS dans le domaine des hyperfréquences, expliquent le succès de la technologie CMOS comparativement aux autres technologies.



## 2.3 MOSFET

### 2.3.1 Description Physique du MOSFET :

Le MOSFET, abréviation du mot anglais Metal Oxide Semi-conducteur Field Effect Transistor, est considéré comme l'un des transistors à effet de champ les plus utilisés à l'heure actuelle en microélectronique. Comme tous les transistors, il a pour fonction la modulation du courant drain à l'aide d'un signal appliqué à son électrode d'entrée en l'occurrence la grille, il est souvent utilisé dans des applications numériques ou analogiques ou bien même mixtes. Le transistor MOS possède 4 électrodes : la Source (Source) S: point de départ des porteurs, le Drain (Drain) D : point de collecte des porteurs. La Grille (Gate) G et le Substrat (Body) B sont les électrodes de la capacité MOS qui contrôle le nombre des porteurs présents dans le canal. La grille est isolée du canal par une couche de dioxyde de silicium ( $\text{SiO}_2$ ) comme le montre la figure 2-1.

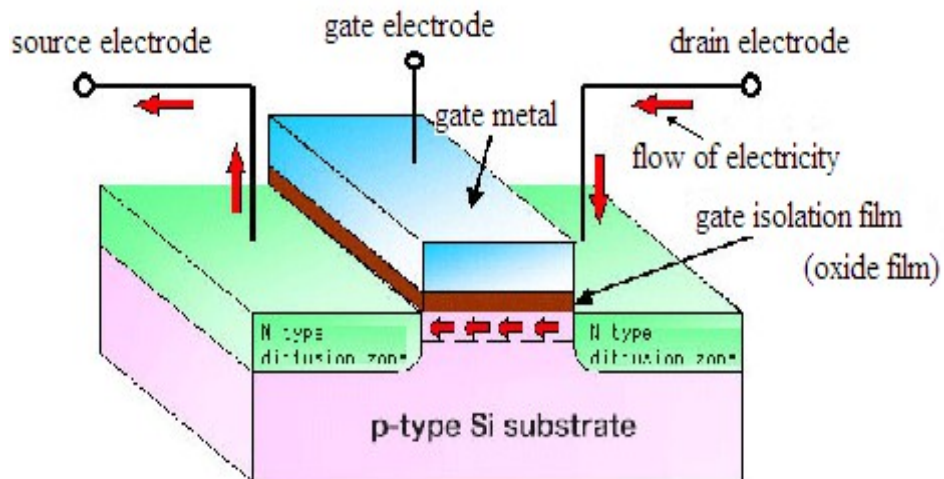


Figure 2-1 : structure d'un transistor MOSFET.

L'intensité du courant circulant entre la source et le drain est commandée par la tension entre la grille et le substrat. Très souvent, les électrodes de la source et du substrat sont électriquement reliées, on retrouve donc un composant à 3 électrodes dans lequel le courant entre le Drain et la Source  $I_{DS}$  est commandé par une tension  $V_{GS}$  entre la Grille et la Source (notant que le potentiel de la source est égal au potentiel du substrat).

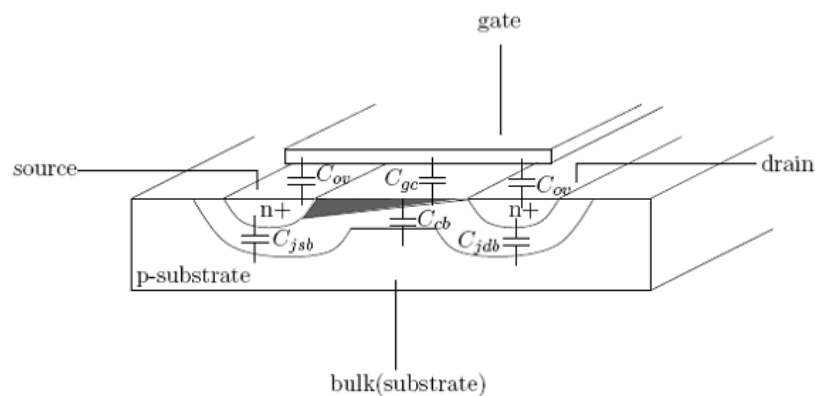
Les deux types fondamentaux de MOSFET sont : les MOSFETs à appauvrissement (Déplétion) D-MOSFET, et les MOSFETs à enrichissement (Enhancement) E-MOSFET. Dans chaque type de MOSFET, on peut distinguer le MOSFET à canal N (le courant provient du déplacement d'électrons) et le MOSFET à canal P (le courant provient du déplacement de trous).

### 2.3.2 Mode de fonctionnement du MOSFET :

Dans cette partie, nous allons expliquer le principe de fonctionnement du transistor MOSFET à enrichissement (le plus fréquent). Contrairement au transistor bipolaire, le transistor MOSFET fait appel à un seul type de porteur de charge (c'est donc un composant unipolaire). Le principe de base repose sur l'effet de champ appliqué à une superposition d'une couche de métal (appelée "grille"), d'une couche d'oxyde et d'une couche de semi-conducteur (appelée "substrat"). Typiquement en microélectronique, la couche de métal est généralement remplacée par le silicium polycristalin. Lorsque la différence de potentiel entre la grille et le substrat est nulle, il ne se passe rien. Au fur et à mesure de l'augmentation de cette différence de potentiel les charges libres dans le semi-conducteur sont repoussées de la jonction semi-conducteur/oxyde, créant tout d'abord une zone dite de "déplétion", puis lorsque la différence de potentiel est suffisamment grande ( $V_{GS} \geq V_{TH}$ ), en plus la tension  $V_{DS}$  est inférieure à la différence entre  $V_{GS}$  et  $V_{TH}$  ( $V_{DS} \leq V_{GS} - V_{TH}$ ) on atteint le régime linéaire, il apparaît une zone "d'inversion". Cette zone d'inversion est donc une zone où le type des porteurs de charges est opposé à celui du reste du substrat, créant ainsi un "canal" de conduction. Ou bien la capacité grille/substrat est en inversion, ce qui signifie que des électrons du substrat sont attirés au voisinage de l'oxyde. Ceux-ci constituent un afflux de porteurs minoritaires qui vont être disponible pour conduire le courant entre la source et le drain ; le transistor est normalement conducteur, lorsque la tension  $V_{DS}$  est suffisamment élevée c'est à dire que : ( $V_{DS} \geq V_{DS,saturation} = V_{GS} - V_{TH}$ ) , la couche d'inversion ne s'étend pas jusqu'au drain créant ainsi une zone de pincement (Régime de pincement atteint pour  $V_{DS, saturation}$ ), à ce moment la, on dit que le transistor fonctionne en régime de saturation, notant aussi que toute augmentation de  $V_{DS}$  fait augmenter légèrement le courant  $I_{DS}$ , (la raison pour laquelle le courant  $I_{DS}$  augmente avec l'augmentation de la tension  $V_{DS}$ , c'est la largeur de la zone de déplétion qui augmente proportionnellement avec la tension  $V_{DS}$ ).

### 2.3.3 Réponse en fréquence du MOSFET :

En haute fréquence, le transistor va changer son comportement, c'est à dire que le transistor de type MOSFET à des capacités intrinsèques qui affectent ses performances en hautes fréquences [12][11]. Le drain et la source sont des régions qui forment des jonctions polarisés en inverse avec le substrat, les capacités standard de jonction de chacune de ces régions au substrat sont :  $C_{jsb}$  et  $C_{jdb}$



**Figure 2-2 : Les capacités de transistor MOSFET en haute fréquence**

Il y a également de diverses capacités parallèles en plus des capacités de jonction montrées dans la figure 2-2, le condensateur appelé  $C_{ov}$  représente les capacités grille-source et grille-drain qui sont des capacités de chevauchement. Une autre capacité parallèle la capacité grille – canal: la capacité  $C_{gc}$ .

Il y a également une capacité entre le canal et le substrat  $C_{cb}$ . Les capacités mentionnées ci-dessus peuvent être modélisé en tant que trois capacités [13] :  $C_{gs}$ ,  $C_{gd}$  et  $C_{ds}$ . Les capacités  $C_{gd}$ ,  $C_{gs}$ : représente la charge spatiale dans la région d'épuisement.

Dans le cas générale,  $C_{gd}$  est beaucoup plus petit que  $C_{gs}$ , la capacité  $C_{ds}$  représente la capacité entre la source et la région drain du transistor.

#### 2.3.3.1 Réponse d'un montage source commune :

Un montage source commune est un type d'amplificateur utilisant un transistor à effet de champ. Le terme de source commune vient du fait que l'électrode « source » du transistor est reliée au

zéro (la masse). Dans ce montage, le signal d'entrée est appliqué au niveau de la grille et récolté de son drain, utilisé ainsi comme amplificateur de tension (Figure 2-3).

Soit le montage source commune en haute fréquence :

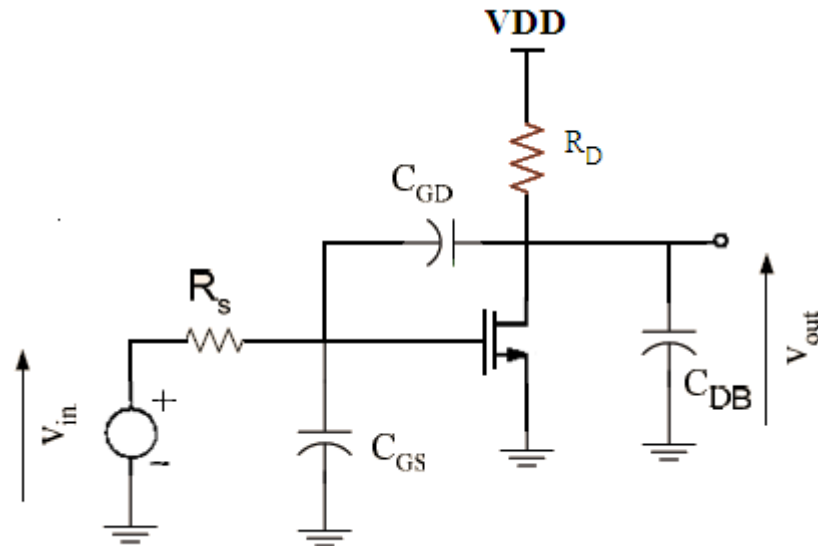


Figure 2-3 : Montage source commune en haute fréquence.

D'après le montage 2-3, nous vulgarisons toutes les capacités intrinsèques du circuit, telles que  $C_{GS}$  et  $C_{DB}$  sont des capacités reliées à la masse tandis que  $C_{GD}$  apparaît entre l'entrée et la sortie.

En saturation, la résistance interne  $R_{Ds}$  est supposée différente de zéro.

En remplaçant le transistor par son schéma équivalent pour les petits signaux, le circuit devient comme celui de la figure 2-4.

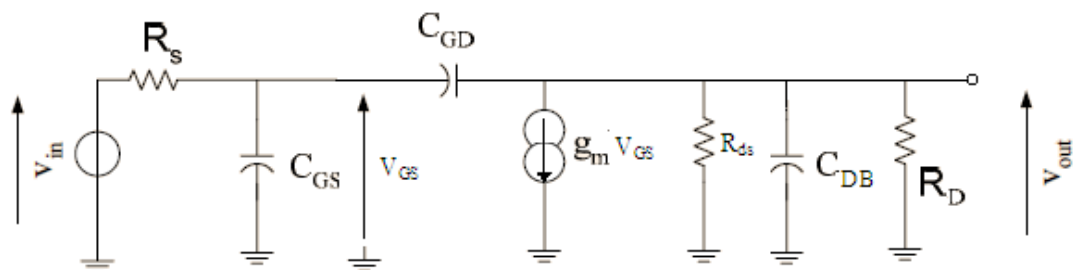


Figure 2-4 : Schéma équivalent du montage source commue.

Nous estimons donc la fonction de transfert exacte de ce montage à l'aide du circuit équivalent tel que  $G_V$  représente le gain en tension.

$$G_V = \frac{V_{OUT}}{V_{IN}}(s) = \frac{(C_{GD}S - g_m)R_D}{R_S R_D \xi S^2 + [R_S(1 + g_m R_D)C_{GD} + R_S C_{GS} + R_D(C_{GD} + C_{DB})]S + 1}$$

(1.1)

Avec :  $\xi = C_{GS}C_{GD} + C_{GS}C_{DB} + C_{GD}C_{DB} / S = j\omega$

On note aussi que le dénominateur présente ici deux pôles.

### Impédance d'entrée :

Dans les applications radiofréquences, l'impédance d'entrée du montage source commune est toujours prise en considération, soit la figure suivante (Figure 2-5).

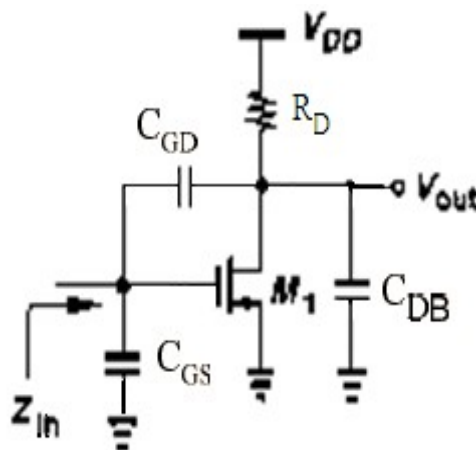


Figure 2-5 : Calcul de l'impédance d'entrée du montage source commune.

Ainsi, l'impédance d'entrée de ce circuit devient :

$$Z_{IN} = \frac{1}{[C_{GS} + (1 + g_m R_D)C_{GD}]S}$$

(2.2)

### Impédance de sortie :

Pour déterminer l'impédance de sortie de ce montage, on utilise la figure 2-6 d'où on obtient l'équation suivante :

$$Z_{OUT} = \frac{1}{j\omega \left( C_{GD} \left( 1 + \left( g_m R_D \right)^{-1} \right) + C_{DB} \right)} \parallel R_D \quad (2.5)$$

D'après l'expression de l'impédance de sortie, nous confirmons une fois de plus, ce que nous avons déjà dit de l'existence d'une relation entre la sortie et l'entrée à travers la capacité Cgd.

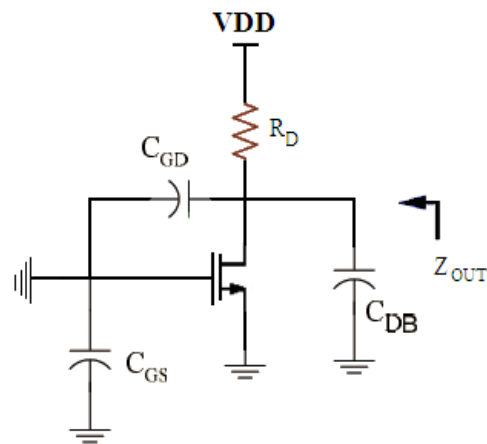


Figure 2-6 : Calcul de l'impédance de sortie du montage source commune.

### 2.3.3.2 Réponse d'un montage grille commune :

Le montage du MOSFET en grille commune est l'un des trois types de base d'amplificateur utilisant un transistor à effet de champ. Il est typiquement utilisé comme buffer de courant ou amplificateur de tension. Dans ce circuit, le signal d'entrée est appliqué à la source et sa sortie est au niveau du drain laissant la grille comme le point commun. La figure 2-7 montre le montage grille commune en haute fréquence :

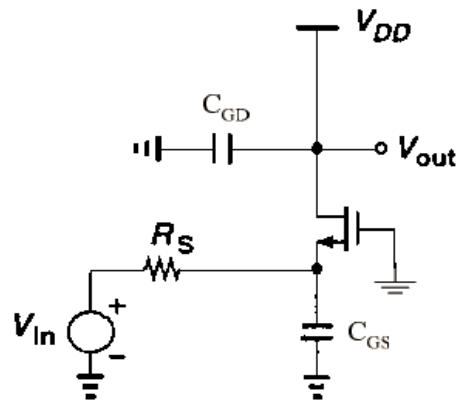


Figure 2-7 : Montage grille commune en haute fréquence.

Soit le schéma équivalent du circuit en haute fréquence qui est représenté dans la figure 2-8:

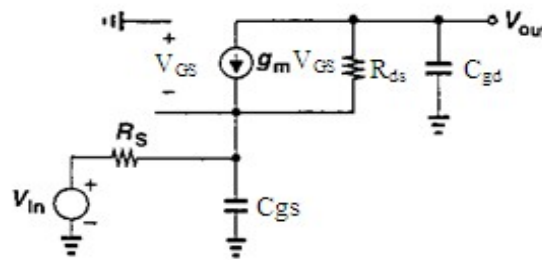


Figure 2-8 : Schéma équivalent du montage grille commune.

En utilisant le schéma équivalent dans la figure 2-8, nous obtenons l'expression de la fonction de transfert (le gain en tension) :

$$G_V = \frac{V_{OUT}}{V_{IN}} = \frac{1 + g_m r_{ds}}{r_{ds} C_{gd} C_{gs} R_S S^2 + [r_{ds} C_{gd} + C_{gs} R_S + (1 + g_m r_{ds}) C_{gd} R_S] S + 1}$$

(2.6)

**Impédance d'entrée :**

Soit l'expression de l'impédance d'entrée du montage grille commune (2.7) :

$$Z_{IN} = \frac{1}{g_m} + \frac{1}{C_{gd}S} \cdot \frac{1}{(g_m)r_{ds}} \quad (2.7)$$

Si la fréquence augmente,  $Z_{IN}$  s'approche de  $\frac{1}{g_m}$  et le deuxième terme sera donc négligé.

Autrement dit,  $Z_{IN}$  sera indépendante de  $C_{GD}$  en hautes fréquences. Par ailleurs, on note que l'entrée ne dépend pas de la sortie dans ce type de montage.

### Impédance de sortie :

Soit l'expression de l'impédance de sortie montage grille commune :

$$Z_{OUT} = \frac{1}{j\omega C_{GD}} \quad (2.8)$$

L'impédance de sortie du montage grille commune prouve l'indépendance de la sortie avec l'entrée puisque elle dépend de la capacité  $C_{GD}$  seulement.

### 2.3.3.3 Réponse d'un montage drain commun :

Soit le montage drain commun, qui est souvent utilisé comme buffer ou shifter, on utilise le circuit représenté dans la figure 2-9 :

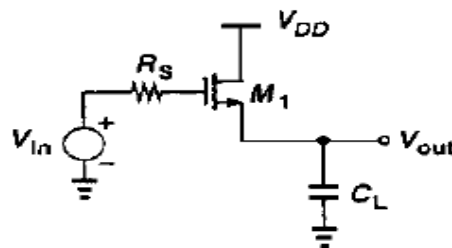


Figure 2-9 : Montage drain commun en haute fréquence.

Nous allons étudier la réponse en fréquence de ce montage telle que  $C_L$  représente la capacité totale vue à la sortie de l'amplificateur en incluant la capacité  $C_{S B}$  (source-substrat), contrairement au montage précédant (source commune) la liaison entre l'entrée et la sortie s'effectue à travers la capacité  $C_{GS}$ , au lieu de la capacité  $C_{GD}$ .

Le schéma équivalent de ce montage est illustré dans la figure 2-10 :



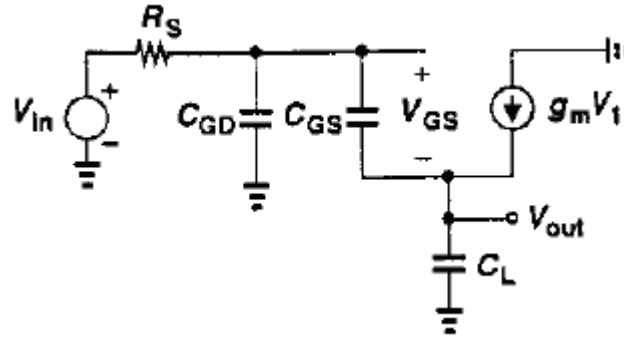


Figure 2-10 : Schéma équivalent du montage drain commun

On néglige l'effet du substrat pour simplifier les calculs, et d'après l'équation du nœud d'entrée et nœud de sortie, nous obtenons le gain en tension de ce montage :

$$G_V = \frac{V_{OUT}}{V_{IN}}(s) = \frac{g_m + C_{GS}S}{R_s(C_{GS}CL + C_{GS}C_{GD} + C_{GD}CL)S^2 + (g_m R_s C_{GD} + C_L + C_{GD})S + g_m}$$

(2.9)

### Impédance d'entrée :

Avant de déterminer l'impédance d'entrée de ce type d'amplificateur, on néglige la capacité  $C_{GD}$  pour simplifier les calculs, et suivant le montage de la figure 2-11 :

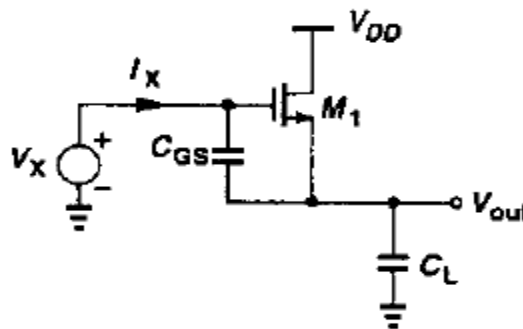


Figure 2-11 : Calcul de l'impédance d'entrée du montage drain commun.

Nous obtenons l'impédance d'entrée de ce montage  $Z_{in}$  :

$$Z_{in} = Z_{IN} = \frac{1}{C_{GS}S} + \left(1 + \frac{g_m}{C_{GS}S}\right) \frac{1}{C_L S} \quad (2.10)$$

### Impédance de sortie :

On néglige la capacité  $C_{SB}$  (l'effet du substrat) plus la capacité  $C_{GD}$ , on aura par la suite le schéma suivant :

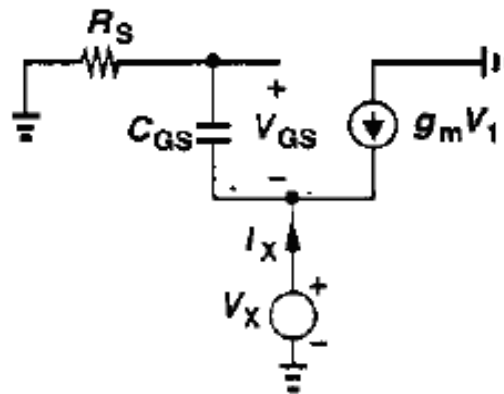


Figure 2-12 : Calcul de l'impédance de sortie du montage drain commun.

Suivant la figure 2-12 l'impédance de sortie s'écrit comme suit :

$$Z_{OUT} = \frac{R_S C_{GS} S + 1}{g_m + C_{GS} S} \quad (2.11)$$

### 2.3.3.4 Caractéristiques globales :

Montage en source commune	Montage en grille commune	Montage en drain commun
<ul style="list-style-type: none"> <li>- grande impédance d'entrée :</li> <li>- grande impédance de sortie :</li> <li>- gain en tension élevée.</li> <li>- mauvaise isolation entre l'entrée et la sortie.</li> <li>- faible consommation.</li> </ul>	<ul style="list-style-type: none"> <li>- faible impédance d'entrée.</li> <li>- très grande impédance de sortie.</li> <li>- très bonne isolation entre l'entrée et la sortie.</li> </ul>	<ul style="list-style-type: none"> <li>- la grille suit la source en tension <math>V_{gs}</math>.</li> <li>- grande impédance d'entrée.</li> <li>- faible impédance de sortie.</li> </ul>

Tableau 2-1 : Les caractéristiques globales des montages de base de MOSFET.

### 2.3.4 Sources de bruit du MOSFET :

Avant de commencer une analyse de façon à concevoir un amplificateur à faible bruit. Il est très important d'identifier et d'étudier ses sources de bruit. Ainsi, cette partie donnera un aperçu sur

les plus importantes sources de bruit dans les transistors MOSFET tels que le bruit du courant drain, le bruit induit par la grille et le bruit en scintillation (flicker).

### 2.3.4.1 Bruit du courant drain :

Puisque la matière du canal d'un transistor MOS est résistif, elle expose un bruit thermique et cette source de bruit peut être représentée par un générateur du bruit de courant connecté à partir de drain vers la source comme le montre la figure 2-13 :

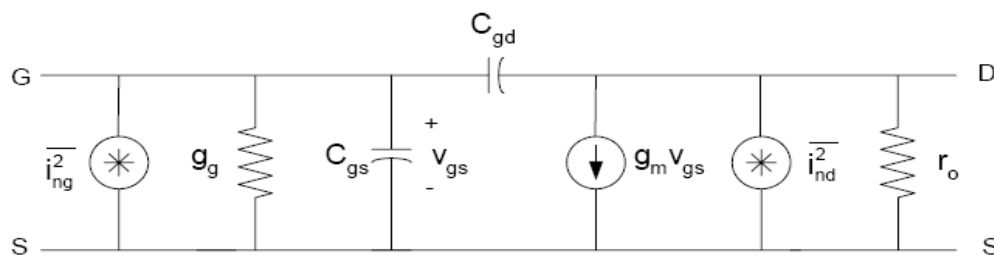


Figure 2-13 : Les sources de bruit dans un transistor MOSFET.

L'expression de ce type de bruit est donnée par [15-14] :

$$i_{nd}^2 = 4kT \gamma g_{d0} \Delta f \quad (2.12)$$

Telle que  $g_{d0}$  représente la conductance entre le drain et la source et le paramètre  $\gamma$  prend une valeur de  $2/3$  en saturation dans le cas d'un MOSFET à canal long. Par contre dans le cas d'un MOSFET à canal court, la valeur de  $\gamma$  varie entre 2 ou 3 mais elle peut être beaucoup plus grande, cela est dû au chauffage des porteurs induit par les forts champs électriques appliqués [14].

### 2.3.4.2 Bruit induit par la grille :

L'autre conséquence de l'agitation thermique des charges du canal c'est le bruit induit par la grille. Ce bruit est causé par la résistance non quasi-statique et les fluctuations de potentiel dans le canal sont capacitivement couplées avec la grille, conduisant à un courant de grille bruyant.

Ce bruit est négligeable en basses fréquences parce que l'effet de couplage est faible. Cependant, il peut être problématique en hautes fréquences. Ainsi il a été modélisé comme générateur de courant reliant la grille à la source (voir figure 2-13) et peut-être exprimé comme suit [15] :

$$i_{ng}^2 = 4kT \delta g_g \Delta f \quad (2.13)$$

Tel que le paramètre  $g_g$  est donné par :

$$g_g = \frac{\omega^2 C_{gs}^2}{5g_{d0}} \quad (2.14)$$

Le paramètre  $\delta$  est le coefficient de bruit de la grille, ce coefficient est égal à 4/3 pour un canal long [15], qui est deux fois plus grand que  $\gamma$ . Cependant, sa valeur n'est pas encore connue avec précision pour un dispositif à canal court. L'approximation raisonnable est que le paramètre devrait continuer à être environ deux fois plus grand que le paramètre  $\gamma$ . Puisque  $\gamma$  est autour de 2 ou 3 pour un dispositif à canal court,  $\delta$  devrait être autour de 4 ou 6 [16].

Comme on l'a cité précédemment, que le bruit de la grille est lié au bruit de drain. Cette dépendance est exprimée par un coefficient de corrélation  $c$  comme indiqué dans l'équation ci-dessous :

$$c = \frac{i_g i_d^*}{\sqrt{i_g^2 i_d^2}} \quad (2.15)$$

La valeur de  $c$  [17] est 0.395j pour un dispositif à canal long, le couplage entre le bruit de drain et le bruit de la grille se fait à travers la capacité de la grille, le coefficient de corrélation est purement capacitif.

### 2.3.4.3 Bruit en scintillation :

L'autre importante source de bruit dans les transistors MOS, c'est le bruit en scintillation (flicker noise), les origines de ce bruit sont variées, mais principalement attribuée à des pièges associés avec la contamination et défauts du cristal (défauts cristallins). Le transistor conduit un courant près de la surface de silicium où la surface agit comme un piège qui capte et libère les porteurs de courant, ces pièges de capture ou libération des porteurs fonctionnent à des modes aléatoires et les temps de piégeage sont distribués dans une voie qui conduit à un spectre de bruit en 1/f.

Le bruit en scintillation peut être modélisé comme un générateur de courant connecté avec le drain et la source (figure 2-13) et peut être exprimé par l'expression suivante [16] :

$$i_{nf}^2 = \frac{K}{f} \frac{g_m^2}{WLC_{ox}^2} \Delta f$$

(2.16)

K est une constante qui change d'un processus à un autre, la capacité  $C_{ox}$  c'est la capacité d'oxyde par unité de surface. On note que le bruit en scintillation est inversement proportionnel à la surface de la grille (WL) parce que la plupart des capacités de la grille sont attachées aux fluctuations des charges du canal. Il est convenable de mentionner que le bruit en scintillation est toujours associé aux flux de courant. S'il y'a maintenant un courant direct qui circule dans le dispositif, ce type de bruit devrait être minimal [18].

#### 2.3.4.4 Autres sources de bruit :

La distribution de la résistance de la grille d'un transistor MOSFET contribue également au bruit dans un amplificateur à faible bruit. Cette source de bruit est généralement modélisée comme une série de résistance à la grille et la densité spectrale de bruit est donnée par :

$$\frac{v_g^2}{\Delta f} = 4KTR_g$$

(2.17)

$$R_g = \frac{R_{sq}W}{3n^2L}$$

(2.18)

$R_g$  : la résistance de la grille,  $R_{sq}$  : (la résistance carrée du polysilicium), n : nombre de doigt (finger). Le facteur 3 vient de la nature de distribution de la résistance grille supposant que chaque doigt est entré en contact avec une seule extrémité. Si les deux extrémités sont entrées en contact, alors le facteur est réduit à 12. Cette source de bruit peut être réduite en augmentant le nombre des doigts utilisés pour réaliser un transistor.

## 2.4 Capacités intégrées :

Les capacités intégrées peuvent être réalisées en utilisant de deux armatures conductrices et un isolant entre ses deux armatures. Ainsi, plusieurs possibilités peuvent avoir lieu si on se base sur une technologie CMOS. On peut donc trouver des capacités MIM (Métal Isolant Métal) et des capacités PIM (Polysilicium Isolant Métal) où l'isolant n'est que l'oxyde de silicium. Pour la capacité MOS, elle est constituée par une région fortement dopée et un contact métallique, séparés par un oxyde diélectrique relativement épais. Sur une plaquette oxydée thermiquement, une fenêtre est gravée, à travers laquelle une couche fortement dopée est implantée. Une nouvelle couche superficielle est formée par oxydation thermique après ouverture d'un point de contact de la couche inférieure dopée, la métallisation est réalisée. La capacité par unité de surface vaut  $C = \frac{\epsilon_r}{d}$  où  $\epsilon_r$  est la permittivité relative de l'oxyde de silicium et  $d$  l'épaisseur de la couche d'oxyde. L'insertion de couches isolantes de permittivité supérieure accroît la capacité qui, d'ailleurs, ne dépend pas de la tension appliquée.

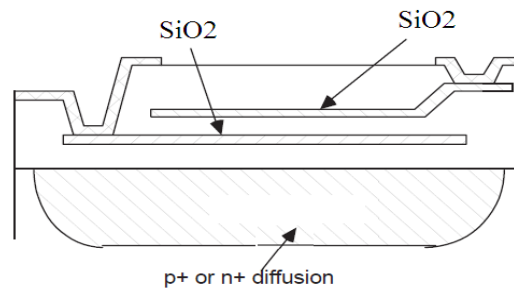


Figure 2-14 : Capacité intégrée MOS.

## 2.5 Inductances intégrées :

L'inductance intégrée représente l'un des éléments passifs qui peut être réalisé sur un substrat en silicium tel que illustré sur la figure 2-15. Le modèle électrique simplifié de cette inductance est donné sur la figure 2-16 [19, 20, 21] où  $L$  est l'inductance de la spire,  $R_s$  représente les pertes séries, dans le ruban métallique, qui regroupent les pertes ohmiques intrinsèques et celles dues à l'effet de peau et à l'effet de proximité. Les pertes par courants de Foucault dans le substrat peuvent être incluses également dans  $R_s$ .  $C_s$  est la capacité entre la sortie et l'entrée représentant les capacités entre segments adjacents de la spirale et le recouvrement entre le ruban métallique et le contact central (« underpass »). La première capacité est négligeable car les segments

adjacents sont presque au même potentiel.  $C_{ox}$  représente la capacité entre la spire et le substrat.  $R_{sub}$  et  $C_{sub}$  modélisent le substrat.

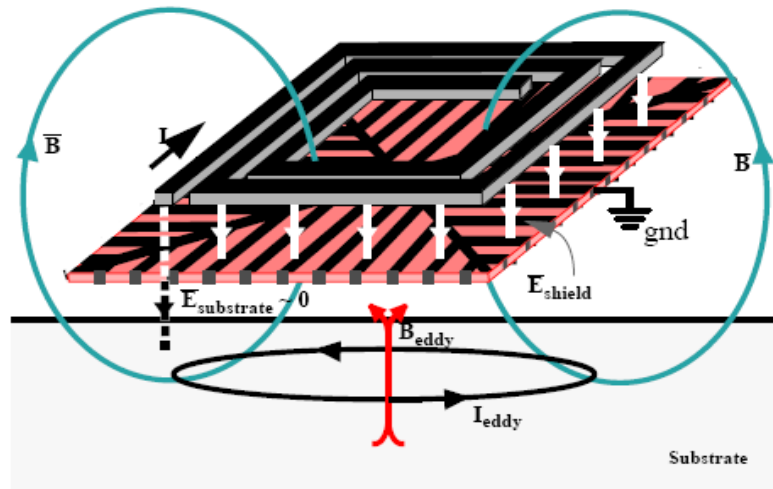


Figure 2-15 : Modèle d'une inductance spirale intégrée au-dessus de substrat.

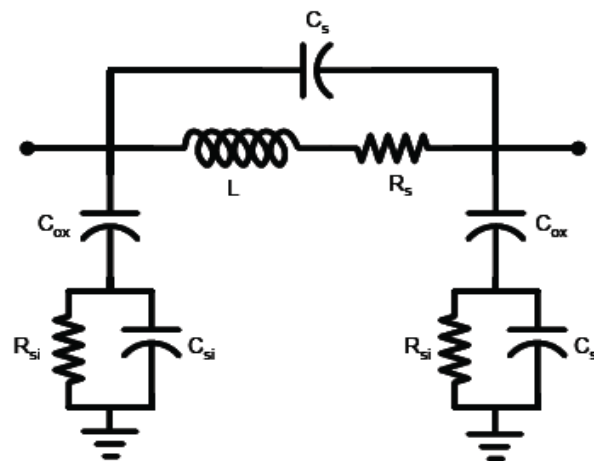


Figure 2-16 : Modèle électrique d'une inductance spirale intégrée.

L'inductance ( $L$ ) du modèle peut être estimée approximativement par la relation suivante :

$$L = \frac{\mu_0 N^2 d_m c_1}{2} \left( \ln\left(\frac{c_2}{\rho_1}\right) + c_3 \rho_1 + c_4 \rho_1^2 \right)$$

(2.19)

Où  $N$  est le nombre de spires,  $d_m = 0,5(d_{out} + d_{in})$  est le diamètre moyen de l'inductance, et  $\rho_1 = (d_{out} - d_{in}) / (d_{out} + d_{in})$ .  $d_{out}$  et  $d_{in}$  sont le diamètre extérieur et intérieur de la spirale

respectivement. ( $\mu_0$ ) est la perméabilité magnétique du vide. ( $c_i$ ) sont des coefficients qui dépendent du type d'inductance et dont les valeurs sont données dans le Tableau 2-2. L'équation (2-19) montre bien que la valeur de la self est proportionnelle au carré du nombre de tours. L'inductance ( $L$ ) peut être maximisée par l'augmentation du diamètre moyen. La résistance série est donnée par :

$$R_s = \frac{\rho l}{wt_{eff}}$$

(2.20)

Où  $\rho$ ,  $w$ , et  $l$  sont respectivement la résistivité, la longueur, et la largeur du ruban métallique.  $t_{eff}$  est son épaisseur effective, qui tient compte de l'effet de peau dans le ruban et liée à l'épaisseur physique,  $t$ , par l'expression :

$$t_{eff} = \delta \left( 1 - e^{-\frac{t}{\delta}} \right) = \sqrt{\frac{\rho}{\pi \mu_0 f}} \left( 1 - e^{-\frac{t}{\delta}} \right)$$

(2.21)

Où  $\delta$  est l'épaisseur de peau et  $f$  est la fréquence de travail. L'épaisseur effective diminue avec la fréquence (équation de  $t_{eff}$ ), c'est pourquoi la résistance série augmente avec la fréquence. D'après l'équation de  $R_s$ , on note que les pertes résistives peuvent être minimisées par l'utilisation d'un ruban épais à base d'un matériau bon conducteur tel que le cuivre. Néanmoins, l'utilisation d'une épaisseur supérieure à la profondeur de peau, à la fréquence visée, est sans intérêt puisque le signal est limité à cette profondeur. Les pertes peuvent être aussi minimisées par l'utilisation d'un ruban large et le plus court possible pour une inductance donnée. Par rapport à la longueur minimale, une self circulaire est meilleure que la self octogonale qui est à son tour meilleure que la self carrée. L'élargissement du ruban ne doit pas se faire sans prendre en considération les capacités parasites vers le substrat car ces dernières augmentent avec la largeur. Un compromis doit être donc trouvé sur la largeur du ruban.

Type inductance	$c_1$	$c_2$	$c_3$	$c_4$
carrée	1,27	2,07	0,18	0,13
hexagonale	1,09	2,23	0	0,17
octogonale	1,07	2,29	0	0,19
circulaire	1,00	2,49	0	0,2



**Tableau 2-2 : Valeurs de paramètres ci pour les différents types de spirales.**

Les capacités série et d'oxyde sont données par :

$$C_s = N \frac{\epsilon_{ox} \omega^2}{t_{oxM1-M2}} \quad (2.22)$$

$$C_o = \frac{\epsilon_{ox} l w}{2 t_{ox}} \quad (2.23)$$

Où  $t_{ox}$  et  $t_{oxM1-M2}$  sont respectivement les épaisseurs de l'oxyde entre le ruban métallique et le substrat, et entre le ruban et le contact central « underpass ».  $\epsilon_{ox}$  est la permittivité diélectrique de l'oxyde. Afin de réduire la capacité  $C_o$  on peut réduire la surface ( $lw$ ) du ruban comme le suggère la relation de  $C_o$ . On peut la réduire également par l'augmentation de l'épaisseur  $t_{ox}$ , ce qui revient pratiquement à utiliser le dernier niveau de métal offert par technologie pour réaliser la spirale. La capacité et la résistance qui modélisent respectivement l'effet capacitif et résistif du substrat silicium sont données par :

$$C_{Si} = \frac{lw C_{sub}}{2} \quad (2.24)$$

$$R_{Si} = \frac{2}{lw G_{sub}} \quad (2.25)$$

$C_{sub}$  et  $G_{sub}$  sont la capacité et la conductance par unité de surface de substrat silicium. Un blindage de masse en anneau ou un substrat à forte résistivité (peu dopé) peuvent être utilisés afin de minimiser les pertes dans le substrat.

### 2.5.1 Calcul du facteur de qualité de l'inductance :

Les caractéristiques des inductances spirales qui sont notamment les valeurs des inductances ainsi que leurs coefficients de qualité peuvent être extraites par l'intermédiaire des paramètres  $Y$ .

Ils sont aussi obtenus par la conversion des paramètres  $S$  simulés. Pour les inductances de charge  $L_D$  et de dégénérescence  $L_S$  ayant le port deux relié à la masse, l'extraction de l'inductance et de la résistance série, à partir de la matrice admittance  $Y$ , est faite en utilisant les relations suivantes:

$$\mathbf{L} = - \frac{1}{2\pi f \operatorname{Im}(Y_{11})}$$

(2.26)

$$\mathbf{R} = \frac{1}{\operatorname{Re}(Y_{11})}$$

(2.27)

Dans le cas des inductances de grille  $L_G$  où aucun port n'est relié à la masse, la valeur de l'inductance et de la résistance série sont déterminées à partir des relations suivantes [23] :

$$\mathbf{L} = - \frac{1}{2\pi f \operatorname{Im}(Y_{12})}$$

(2.28)

$$\mathbf{R} = \frac{1}{\operatorname{Re}(Y_{12})}$$

(2.29)

Différents facteurs de qualité sont généralement utilisés pour évaluer les performances d'une inductance suivant son utilisation dans le circuit. Dans le cas où le port deux de l'inductance est relié à la masse le facteur de qualité souvent utilisé est:

$$\mathbf{Q} = \frac{\operatorname{Im}(1/Y_{11})}{\operatorname{Re}(1/Y_{11})}$$

(2.30)

Dans le cas où l'inductance est utilisée en différentiel la définition utilisée est [24] :

$$\mathbf{Q} = \frac{\operatorname{Im}(Z_d)}{\operatorname{Re}(Z_d)}$$

(2.31)

Avec  $Z_d = Z_{11} + Z_{22} - Z_{12} - Z_{21}$  est l'impédance différentielle entre le port 1 et le port 2 de l'inductance.

## **2.6 Conclusion :**

Dans ce chapitre, nous avons évoqué l'évolution rapide de la technologie CMOS, ses avantages et son impact sur l'industrie microélectronique. Ensuite, un descriptif détaillé a été donné sur les dispositifs actifs en l'occurrence les transistors MOSFETs, leurs possibilités d'interaction au niveau des circuits simples et/ou complexes. Outre le MOSFET, les éléments passifs qui peuvent être fabriqués en technologie CMOS tels que les inductances et les capacités nécessitent également une attention particulière vu qu'elles représentent un facteur déterminant dans la conception des circuits radiofréquences ainsi que les différents facteurs qui leurs sont associés.

### **3 Chapitre**

## **Architectures et méthodologies de conception des LNAs**

### 3.1 Introduction :

Dans une chaîne de réception, le filtre RF qui précède l'amplificateur à faible bruit présente une certaine impédance à sa sortie imposant ainsi une adaptation adéquate à l'entrée du LNA pour lui permettre un transfert maximal de puissance avec un minimum de bruit. En dépit de ce critère, les topologies choisies pour la conception des circuits jouent un rôle primordial dans la détermination des performances voulues. A cet effet, l'amplificateur à faible bruit est l'un des circuits qui dépendent essentiellement du choix de l'architecture ainsi que du nombre de ses étages. Il est souvent constitué d'un transistor ou même plusieurs, mais il reste différentes possibilités pour leurs implémentations. Pour cela, nous allons tout d'abord évoquer les topologies existantes et choisir par la suite l'architecture qui convient le mieux à notre cahier de charge. Les critères de ce choix sont généralement déterminés par certaines performances telles que la consommation de puissance, le gain et le facteur de bruit.

### 3.2 Topologies de l'amplificateur à faible bruit :

Comme nous l'avons vu dans le premier chapitre, l'amplificateur à faible bruit est un élément clé dans une chaîne de réception, puisqu'il doit amplifier le signal utile sans qu'il soit altéré par le bruit pour pouvoir le traiter correctement par le reste de la chaîne. D'après la littérature, les amplificateurs à faible bruit sont classés et définies en quatre familles, et ce, par le biais de l'impédance d'entrée du bloc en question. La figure 3-1 illustre ces quatre différentes configurations où chacune d'elles a sa propriété et son mode d'utilisation.

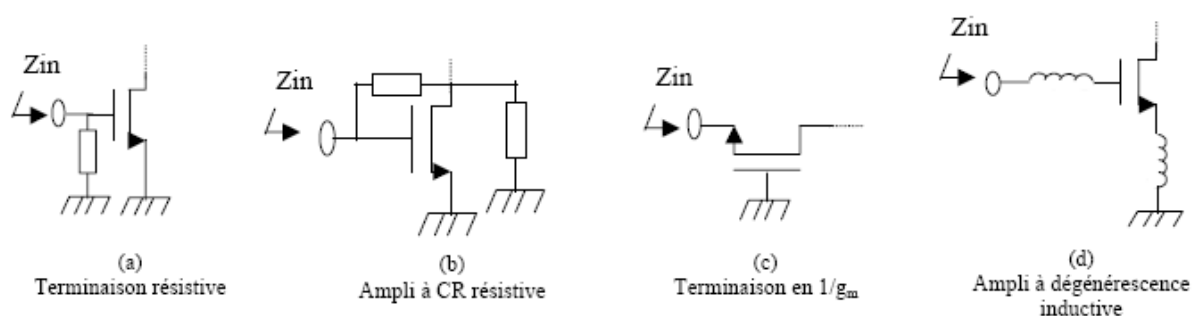
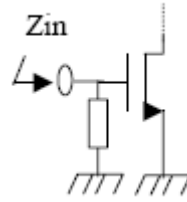


Figure 3-1 : Différentes configurations d'entrée de l'amplificateur à faible bruit.

### 3.2.1 Amplification à terminaison résistive :

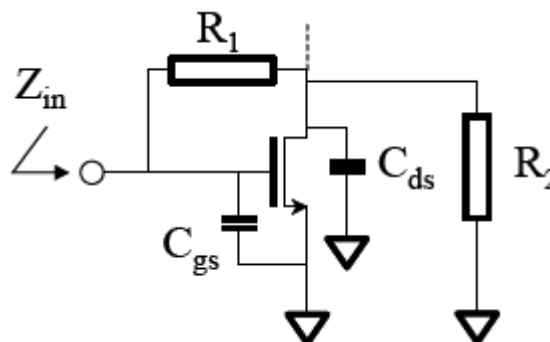


**Figure 3-2 : Amplification à terminaison résistive.**

L'amplification à terminaison résistive réalise son adaptation d'impédance d'entrée (Généralement  $50\Omega$ ) par l'intermédiaire d'une résistance. Il est alors nécessaire de travailler à des fréquences telles que la capacité d'entrée  $C_{gs}$  de transistor MOS a une influence négligeable et qui est considérée comme une première grosse limitation. D'autre part, en récupérant un maximum de puissance par l'intermédiaire de l'adaptation d'impédance d'entrée résistive, le bruit thermique issu de cette résistance va lourdement contribuer à la dégradation du facteur de bruit de cet amplificateur. Ainsi le facteur de bruit sera d'autant plus mauvais que l'impédance vue par le transistor qui ne correspond pas non plus à l'impédance de bruit optimal. Il apparaît que cette structure est loin d'être la meilleure candidate à l'amplification faible bruit.

### 3.2.2 Amplificateur à contre-réaction résistive :

Voici en figure 3-3, la modélisation d'entrée d'un amplificateur à faible bruit à contre-réaction résistive.  $C_{gs}$  et  $C_{ds}$  sont les capacités intrinsèques associées au transistor NMOS et  $R_1$  et  $R_2$  sont les résistances externes de la contre-réaction.



**Figure 3-3 : Amplificateur à CR résistive.**

La contre-réaction résistive de tension est une architecture plus souple (d'un point de vue impédance) que la précédente. L'impédance d'entrée est ajustée grâce au gain de l'amplificateur, favorisant ainsi une meilleure récupération du signal. Cependant, du point de vue du facteur de bruit, cette topologie présente de fortes carences :

- amplificateur large bande qui intègre le bruit sur une grande bande de fréquences.
- les résistances ajoutent leur propre bruit.
- la contre-réaction ramène en entrée le bruit de sortie.

De par ces trois aspects, ce type de circuit est bruyant et caractérisé par une consommation importante [25].

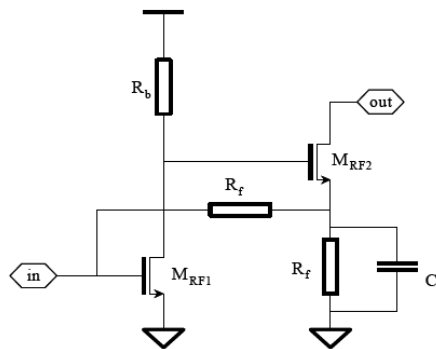


Figure 3-4 : LNA à contre réaction résistive (puissance dissipée 50 mW) [25].

### 3.2.3 Amplificateur à terminaison en $1/g_m$ :

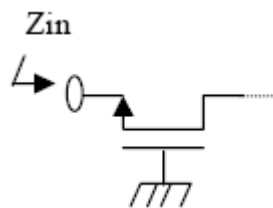


Figure 3-5 Amplificateur à terminaison en  $1/g_m$

L'amplificateur à terminaison en  $1/g_m$  est la topologie la mieux adaptée à l'intégration puisqu'elle réalise effectivement son adaptation d'impédance d'entrée à  $50\Omega$  par l'intermédiaire de la transconductance  $g_m$  :

$$1/g_m = 50\Omega \Rightarrow g_m = 20 \text{ mS au premier ordre}$$

Cet aspect de l'architecture peut s'avérer être un inconvénient puisque par le biais de cette impédance d'entrée est fixe, d'une part, la consommation, ce qui peut être restrictif, d'autre part, on enlève un important degré de liberté d'optimisation de la linéarité. Enfin, un calcul théorique, présenté en [27], montre que le plancher de bruit de cette topologie est supérieur à 3 dB (NF) ce qui est trop élevé pour certaines applications.

Ce circuit est toutefois largement capable de fournir d'excellentes caractéristiques comme le confirment [27], [28], [29]. La figure 3-5 présente un LNA de ce type [27] accompagné de ses résultats de mesure (tableau 3-1).

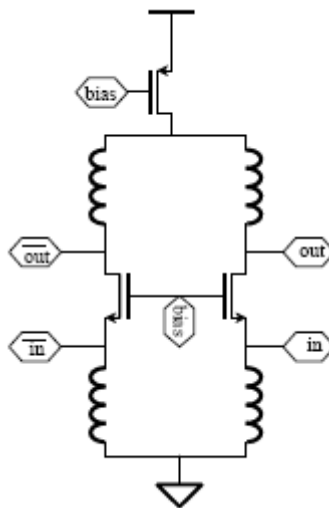


Figure 3-6 : LNA à terminaison en  $1/g_m$ .

Fréquence RF	1 GHz
Gain	22 dB
Figure de bruit	3,2 dB
Consommation	5 mA

Tableau 3-1: caractéristiques du LNA à terminaison en  $1/g_m$  [27].

De ce fait l'argument de l'intégration n'est pas réellement mis en valeur ici, à cause de l'application bande étroite du circuit. Il n'en reste pas moins que les spécifications relatives à cet amplificateur à « terminaison en  $1/g_m$  » présentées dans le tableau 3-1 témoignant de l'aptitude « amplificateur faible bruit » de ce circuit.



### 3.2.4 Amplificateur à source de dégénérescence inductive :

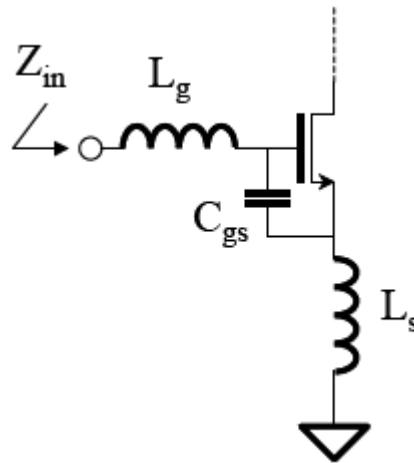
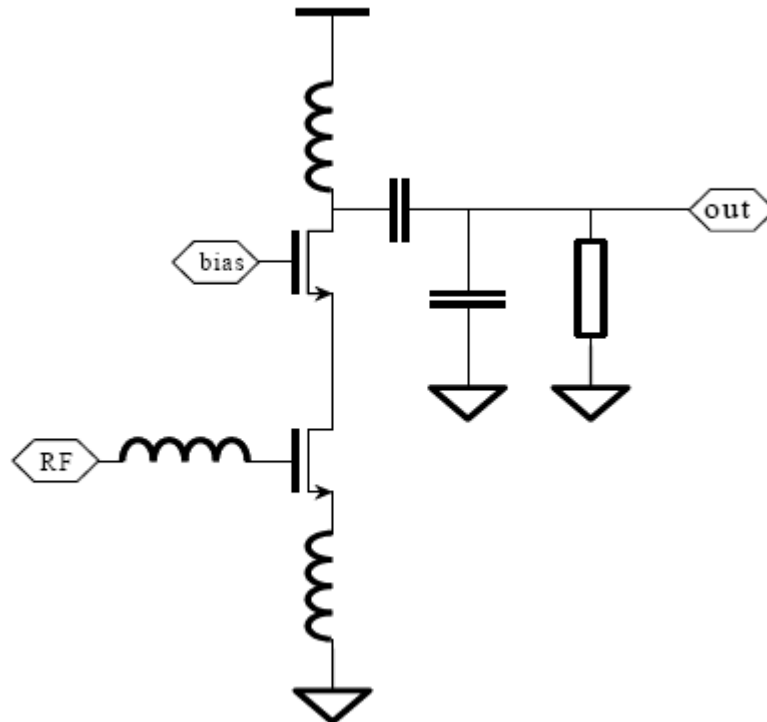


Figure 3-7 : LNA à source de dégénérescence inductive [26].

Aujourd'hui, un grand nombre de publications dédiées au frontal de réception utilisent cette topologie de référence. Sa théorie n'en est pas pour autant simple : l'inductance  $L_g$  vient annuler la capacité  $C_{gs}$  à la fréquence du signal radiofréquence.  $L_s$ , vue comme une impédance réelle grâce à l'effet transistor, est calculée pour être adaptée à  $50\Omega$ . Le coefficient de surtension  $Q$  du circuit ( $L_g$ ,  $C_{gs}$ ,  $L_s$ ) de la figure 3-7 permet d'augmenter la transconductance du transistor, donc d'avoir un meilleur gain en tension; mais ce coefficient de surtension est avant tout optimisé pour diminuer le facteur de bruit.

Cette architecture a longtemps souffert de l'incapacité des technologies à fournir des inductances de bonne qualité. Jusqu'à la fin des années 90, les inductances employées étaient discrètes et très volumineuses au regard des fréquences de travail (plus la fréquence est élevée plus la valeur de l'inductance est faible). On peut mesurer toute la qualité de ce genre de circuit à travers des publications telles que celles auxquelles font référence les circuits présentés en figure 3-8 accompagnés de leurs résultats (tableau 3-2) :



**Figure 3-8 : LNA cascode à dégénérescence inductive [30] [31].**

Le circuit illustré sur la figure 3-8 est l'un des exemples de l'amplificateur à faible bruit qui implémente deux transistors, il est connu par l'amplificateur cascode à dégénérescence inductive. Son premier transistor est monté en source commune, et est responsable sur l'amplification du signal, la réduction du bruit et l'adaptation avec la source d'entrée, tandis que le deuxième transistor est monté en grille commune facilitant l'isolation entre l'entrée et la sortie et augmentant la stabilité. L'isolation élevée est souhaitable pour réduire le couplage du signal oscillateur local vers l'antenne qui peut dégrader les performances dans le cas d'un récepteur. De plus, grâce à cette isolation élevée qui assure l'unilatéralité de l'amplificateur, l'interaction sortie-entrée est faible, et par conséquent, les réseaux d'adaptation d'entrée et de sortie peuvent être optimisés séparément.

Fréquence RF	1,2 GHz
Gain	20 dB
Figure de bruit	0,8 dB
Consommation	6 mA

**Tableau 3-2: caractéristiques du LNA à dégénérescence inductive [31].**

Cette topologie est de loin la plus prometteuse puisque, outre son excellente aptitude à fournir des LNA de grande qualité, elle s'adapte parfaitement aux futures contraintes de conception basse tension-faible consommation. Il y a cependant un gros point négatif: les inductances employées sont très volumineuses, donc d'un coût élevé; on touche ici, actuellement, aux limites de l'adéquation de ce concept avec le marché des réseaux sans fil dont la réussite tient essentiellement à son faible coût de revient.

### 3.3 Méthodologie de conception d'un LNA :

Il existe plusieurs méthodologies de conception d'un LNA, mais dans cette partie nous allons voir la méthode analytique qui nous permet d'avoir une largeur optimale de transistor, afin d'avoir le compromis entre le facteur de bruit et le gain en puissance, ensuite nous passons à la sortie et voir la méthode d'adaptation la plus utilisée dans la conception d'un LNA.

#### 3.3.1 Adaptation en entrée :

La dégénérescence est une technique basée sur l'effet transistor permettant de réaliser à la fois une adaptation d'impédance d'entrée à  $50\Omega$  ainsi qu'une adaptation d'entrée au bruit. Nous allons ici rappeler les étapes importantes du calcul développé dans l'annexe 2.

Tout d'abord on s'intéresse à l'adaptation de l'impédance d'entrée classique à  $50\Omega$  permettant de récolter un maximum de puissance donc d'optimiser le gain. Voici ce que l'on voit en entrée du transistor MOS lors d'une configuration en dégénérescence inductive (figure 3-9):

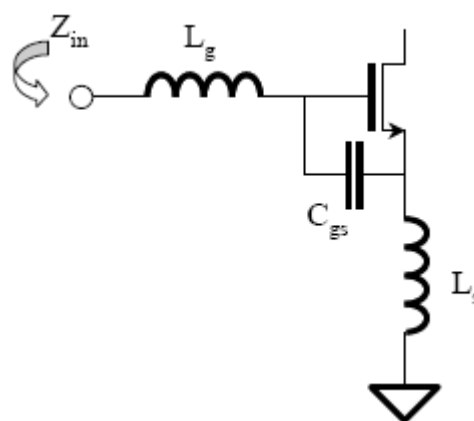


Figure 3-9 : Adaptation d'entrée par dégénérescence inductive.

$$Z_{in} = j(L_g + L_s)\omega + \frac{1}{j\omega C_{gs}} + \omega r L_s \Rightarrow$$

$$Z_{in} = j((L_g + L_s)\omega - \frac{1}{C_{gs}\omega}) + \omega_T L_s. \tag{3.1}$$

Avec :  $\omega_T = \frac{g_m}{C_{gs}}$

A la fréquence de fonctionnement  $\omega_0$ ,  $Z_{in}$  doit être égale à  $50\Omega$  donc :

Si  $(L_g + L_s)\omega - \frac{1}{\omega C_{gs}} = 0$  et  $L_g \gg L_s \Rightarrow$

$$L_g = \frac{1}{\omega^2 C_{gs}} \tag{3.2}$$

Et  $\omega_T L_s = 50 \Omega \Rightarrow$

$$L_s = 50 \frac{C_{gs}}{g_m} \tag{3.3}$$

L'inductance de grille  $L_g$  annule la capacité d'entrée  $C_{gs}$  à la fréquence de fonctionnement  $\omega$ . Grâce à l'effet transistor  $L_s$  présente une impédance réelle en entrée qui permet d'adapter le transistor à  $50\Omega$ .

Pour ce qui est de l'adaptation d'entrée au bruit, voici l'expression du facteur de bruit dans un quadripôle du type de celui présenté en figure 3-10 :

$$F = \frac{i_s^2 + |i_n + Y_S e_n|^2}{i_s^2} \tag{3.4}$$

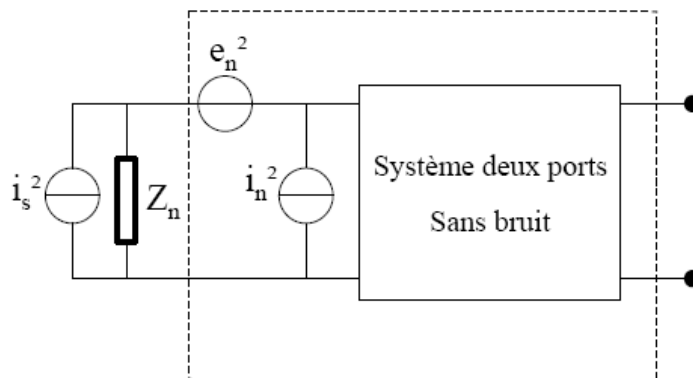


Figure 3-10 : Modèle de bruit traditionnel d'un système deux ports.

En développant l'expression (3-4) avec susceptance et admittance de bruit comme il est fait dans l'annexe 2, le calcul nous mène à exprimer le facteur de bruit de la manière suivante :

$$F = F_{\min} + \frac{R_n}{G_s} \left[ (G_s - G_{opt})^2 + (B_s - B_{opt})^2 \right] \quad (3.5)$$

Avec :  $R_n$  résistance équivalente du générateur de tension de bruit en entrée

$G_s$  et  $B_s$  les transconductances et susceptance de source

$G_{opt}$  et  $B_{opt}$  les transconductances et susceptance optimales

Les paramètres de bruit du transistor MOS sont présentés dans le tableau 3-3 :

Paramètre	Expression
$G_c$	$\cong 0$
$B_c$	$j\omega C_{gs}(1 + \alpha c \sqrt{\frac{\delta}{5\gamma}})$
$R_n$	$\frac{\gamma g_{ds} = \gamma}{g_m^2} \cdot \frac{1}{g_m}$
$G_u$	$\frac{\delta\omega^2 C_{gs}^2(1 -  c ^2)}{5g_{d0}}$

**Tableau 3-3 : Paramètres de bruit du transistor MOS.**

Il reste donc à satisfaire les conditions d'adaptation :

$$G_s = \sqrt{\frac{G_u}{R_n} + G_c^2} = G_{opt} \quad (3.6)$$

$$G_{opt} = \alpha\omega C_{gs} \sqrt{\frac{\delta}{5\gamma}(1 - |c|^2)} \quad (3.7)$$

$$B_s = -B_c = B_{opt} \quad (3.8)$$

$$B_{opt} = -B_c = -\omega C_{gs} \left( 1 + \alpha|c|\sqrt{\frac{\delta}{5\gamma}} \right) \quad (3.10)$$

Pour ce qui est de la conductance  $G_s$ , elle doit satisfaire l'impédance réelle de  $50\Omega$  (soit  $1/50$ ), elle conduit alors à imposer à une certaine consommation du courant dans le transistor par le choix des dimensions  $W$  et  $L$ . Par contre, la susceptance  $B_s$  induit une forme analytique pour l'inductance de grille  $L_g$  de la même forme que l'adaptation d'impédance.

### 3.3.2 Dimensionnement du transistor :

Ayant présenté indépendamment l'optimisation du facteur de bruit ainsi que celle du gain en puissance, il reste à mettre en évidence le lien entre ces deux. L'optimisation moderne "finalise" l'approche classique en donnant une valeur à tous les paramètres impliqués à commencer par la taille du transistor principal. En rappelant tout d'abord, les résultats induits par l'optimisation du gain en puissance (3.2), (3.3) et ceux trouvés par la recherche du facteur de bruit minimal (3.7) et

(3.10). Et on admettant que  $G_{opt} = \frac{1}{50}$ , on peut calculer la largeur du transistor :

$$\frac{1}{50} = \alpha \omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)}$$

(3.11)

En pratique, le réseau ( $L_g, L_s, C_{gs}$ ) crée une surtension à la résonance qui transforme l'impédance d'entrée comme suit :

$$\frac{1}{Q_s R_s} = \alpha \omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)}$$

(3.12)

Pour un transistor fonctionnant en saturation et impliquant une capacité  $C_{gs} = \frac{2}{3} W L C_{ox}$  on obtient une largeur optimale  $W_{opt}$  exprimée par :

$$W_{opt} = \frac{1}{\frac{2}{3} Q_s R_s \alpha \omega L C_{ox} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)}}$$

(3.13)

En partant de l'équation (3.13), on peut donc calculer les dimensions du transistor d'entrée et remonter jusqu'au calcul de  $L_g$  et  $L_s$ . On note toutefois que cette optimisation impose une consommation de puissance, ce qui peut poser certains problèmes. Qs quant à lui est optimal

entre 2 et 3 [32]. D'où l'utilité d'une largeur optimale  $W_{opt}$  qui permet le meilleur compromis entre les différentes adaptations pour aboutir à un facteur de bruit minimal et un gain maximal simultanément.

Enfin la susceptance  $B_{opt}$  de (3.10) va nous conduire à une inductance  $L_g$  particulière adaptée au facteur de bruit minimal qu'il va falloir confronter à celle obtenue en (3.2). La susceptance de l'inductance  $L_g$  s'écrit :

$$B_{L_g} = - \frac{1}{L_g \omega} \quad (3.14)$$

Comme celle-ci est de la même forme que la susceptance requise par le facteur de bruit minimal, on peut, en égalant (3.10) et (3.14) donner à  $L_g$  les expressions suivantes :

$$L_{g_{NF\ min}} = \frac{1}{\omega^2 C_{gs} \left( 1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)} \quad (3.15)$$

Ce qu'on peut déduire que la forme de l'équation (3.2) extraite pour un maximum du gain en

puissance et  $L_{g_{G\ max}} = \frac{1}{C_{gs} \omega^2}$  a la même forme que celle de l'équation (3.15) si  $\alpha |c| \sqrt{\frac{\delta}{5\gamma}} \ll 1$ .

### 3.3.3 Adaptation en sortie

La sortie de l'amplificateur doit être adaptée en puissance pour assurer un transfert maximum de puissance à la charge qui est de  $50 \Omega$  dans notre cas (impédance d'entrée du l'étage suivant). Pratiquement, dans les récepteurs intégrés, la sortie de l'amplificateur s'interface directement à l'entrée du mélangeur. Le schéma équivalent de montage cascode, vue de la sortie, est donné sur la Figure 3-11.  $R_{ds}$  et  $C_{gd} + C_{dB}$  représentent la résistance et la capacité de sortie du cascode respectivement. La self  $L_D$  est représentée par son modèle électrique « 1-port » car son port 2 est relié à la masse AC. Les éléments  $R_p$  et  $C_p$  de ce modèle « 1-port » peuvent être exprimée en fonction des paramètres du modèle « 2-port »,  $C_{Si}$ ,  $C_{ox}$ ,  $C_s$ , et  $R_{Si}$ , présentés dans le chapitre précédant.

$$R_p = \frac{1}{WC_{OX}^2 R_{Si}} + \frac{R_{Si}(C_{OX} + C_{Si})^2}{R} \quad (3.12)$$

$$C_p = C_S + C_{ox} \frac{1+W^2(C_{OX} + C_{Si})C_{Si}R_{Si}^2}{1+W^2(C_{OX} + C_{Si})C_{Si}^2R_{Si}} \quad (3.13)$$

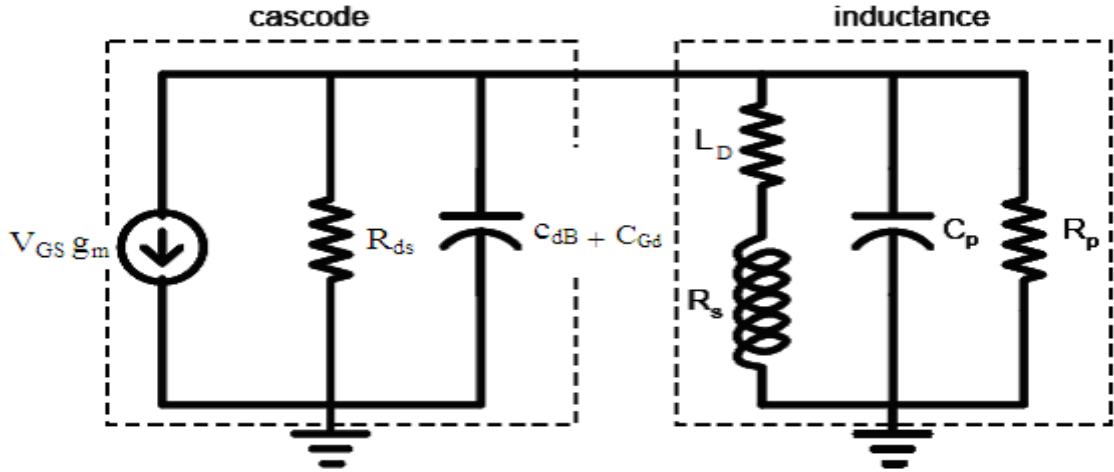


Figure 3-11 : Schéma équivalent de la sortie d'un circuit cascode avec charge inductive.

Les pertes en sortie peuvent être représentées par une résistance parallèle équivalente  $R_{EQ}$  dont l'expression est :

$$R_{EQ} = \frac{1}{\frac{1}{R_{PL}} + \frac{1}{R_p} + \frac{1}{R_{DS}}} \quad (3.14)$$

$R_{PL}$  est la résistance parallèle équivalente du bras série ( $L_s, R_s$ ) de l'inductance. En utilisant la conversion série parallèle, qui est valable sur une bande étroite, la résistance  $R_{PL}$ , peut être évaluée, lorsque le facteur de qualité  $Q_s$  du bras série est supérieur à 10, par la relation :

$$R_{PL} = R_s \left( \frac{W_0 L_D}{R_s} \right)^2 = R_s Q_s^2 \quad (3.15)$$

Dans ces conditions ( $Q > 10$ ), la valeur de l'inductance reste quant à elle constante lors de la conversion série parallèle. En général, ( $R_{DS}$ ) est très supérieure à la résistance parallèle effective ( $R_{PL} // R_p$ ), elle peut donc être négligée dans le calcul de  $R_{EQ}$ . Cette dernière doit être la plus élevée



possible afin d'obtenir le maximum de gain en tension ou en puissance pour un courant de polarisation donné qui est, en général, égal à  $I_{opt}$  ou proche, l'exercice de l'adaptation en puissance se résume à convertir la résistance de charge  $R_L$  de ( $50 \Omega$ ) à la résistance équivalente  $R_{EQ}$ . Comme cette dernière est supérieure à ( $50 \Omega$ ), et la charge est un résonateur LC parallèle, le réseau le plus adéquat pour réaliser l'adaptation d'impédance est le diviseur capacitif (Figure 3-12). Le rapport de transformation du diviseur capacitif ( $C_1, C_2$ ) est donnée par :

$$n = \frac{R_{EQ}}{R_L} = \left(1 + \frac{C_2}{C_1}\right)^2 \quad (3.16)$$

Par ailleurs, la capacité  $C_1$  du réseau d'adaptation permet aussi d'empêcher le passage du courant de polarisation du cascode vers la charge  $R_L$ . Elle filtre également le passage les composantes DC ou proches générées par les non-linéarités d'ordre deux de l'amplificateur rendant ainsi ces composantes non nuisibles au récepteur. Les capacités  $C_2$  et  $C_1$  du diviseur capacitif sont évaluées par les relations suivantes :

$$C_2 = \frac{Q_2}{\omega_0 R_L} \quad (3.17)$$

$$C_1 = \frac{C_2(Q_2^2 + 1)}{Q_1 Q_2 - Q_2^2}$$

(3.18)

$Q_1$  est le facteur de qualité du circuit parallèle  $R_L$  formé par  $R_{EQ}$  et  $L_D$ , et  $Q_2$  est celui de circuit RC constitué par la charge  $R_L$  et la capacité  $C_2$  de diviseur (Figure 3.8). Ils peuvent être calculés par les relations suivantes :

$$Q_1 = \frac{R_{EQ}}{\omega_0 L_D}$$

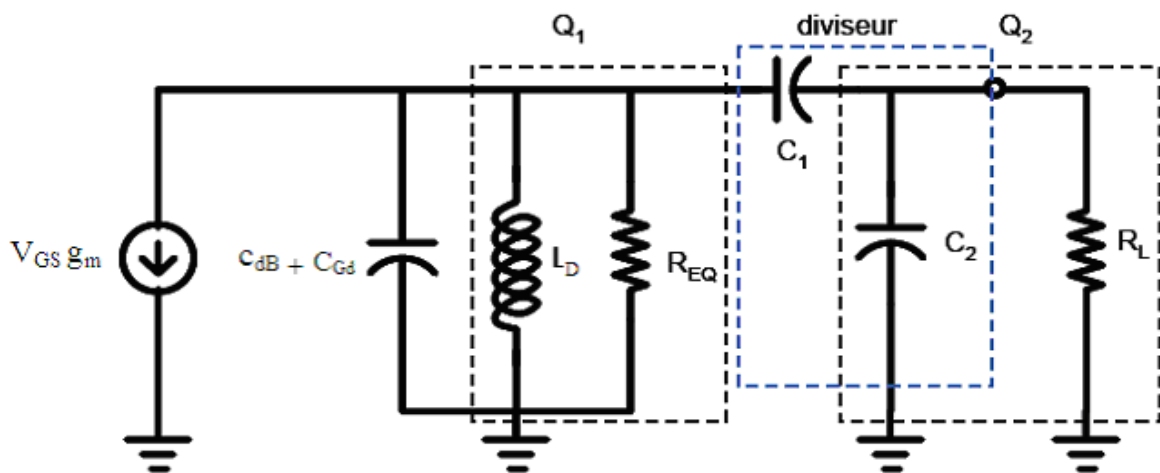
(3.19)

$$Q_2 = W_0 R_L C_2 = \sqrt{\frac{R_L}{R_{EQ}}(Q_1^2 + 1)} - 1 \quad (3.20)$$

D'après le circuit résonant de charge donnée sur la (Figure 3-12), la fréquence de résonance, qui doit être centrée sur la bande passante voulue, peut être estimée par :

$$f_0 = \frac{1}{2\pi\sqrt{L_D C_T}} = \frac{1}{2\pi\sqrt{L_D(C_0 + C_P + C_1 C_2 / (C_1 + C_2))}} \quad (3.21)$$

Le bande passante de l'amplificateur peut être estimée par le facteur de qualité de la charge résonante  $R_L$  incluse,  $Q_L = R_{EQ} / 2 L_S \omega$ . La division par deux dans le facteur de qualité est due à la mise en parallèle la  $R_{EQ}$  avec la résistance de même valeur qui est engendrée par la transformation de  $R_L$  par le diviseur ( $C_1, C_2$ ).



**Figure 3-12 : Adaptation en sortie du circuit cascode.****3.4 Conclusion**

La conception des amplificateurs à faible bruit doit répondre aux spécifications du cahier de charges (gain supérieur à 15 dB et NF inférieur à 3 dB). Pour cela, on a donc opté pour la topologie cascode à dégénérescence inductive parmi les différentes configurations citées auparavant. En effet, l'amplificateur cascode possède un gain élevé et une bonne isolation ainsi qu'un faible facteur de bruit qui est presque identique à celui d'un seul transistor monté en source commune. Sur le plan analytique, on a également donné un aperçu théorique sur l'optimisation du bruit et le dimensionnement du transistor ainsi que l'adaptation à l'entrée et à la sortie.

## **4 Chapitre**

# **Conception et résultats de simulation**

## 4.1 Introduction

Dans ce chapitre, nous allons évoquer les différentes étapes de conception et de simulation d'un amplificateur à faible bruit pour les applications WLAN 802.11 qui exigent un cahier de charges bien précis (facteur de bruit, consommation de puissance, le gain et la bande de fréquence). En premier lieu, on a conçu des LNAs à bande étroite pour les fréquences 2.4 et 5.2 GHz respectivement, avec une topologie cascode à source de dégénérescence inductive suivant deux méthodologies différentes (méthode analytique et méthode classique sous la contrainte de la consommation de puissance). Par la suite, nous avons également conçu un LNA fonctionnant à deux fréquences simultanément. Pour la partie simulation, le logiciel **ADS (Advanced Design System from Agilent)**, qui est dédié à la conception des circuits et des systèmes radiofréquence, est utilisé pour effectuer les différentes simulations nécessaires à savoir les simulations DC, AC, S-Parametre et Harmonique Balance. Par ailleurs, le travail de conception et de simulation a été basé sur la technologie CMOS 0.18 $\mu$ m de la compagnie TSMC par le biais d'un kit de conception implémenté sur ADS.

## 4.2 Standard WLAN :

La norme *IEEE 802.11* est un standard international décrivant les caractéristiques d'un réseau local sans fil (*WLAN*), différents groupes de travail (*Working groups*) font évoluer la norme 802.11. Plusieurs sont encore en train de développer les standards. Dans le futur il est probable que les produits intégreront la plupart de ces extensions.

La norme *IEEE 802.11* est en réalité la norme initiale offrant des débits de 1 ou 2 Mbps. Des révisions ont été apportées à la norme originale afin d'optimiser le débit ou bien préciser des éléments afin d'assurer une meilleure sécurité ou une meilleure interopérabilité. Voici un tableau présentant les différentes révisions de la norme 802.11 et leur signification :

802.11a	La norme 802.11a (baptisé <i>WiFi 5</i> ) permet d'obtenir un haut débit (54 Mbps)
---------	--

	théoriques, 30 Mbps réels). La norme 802.11a spécifie 8 canaux radio dans la bande de fréquence des 5 GHz.
802.11b	La norme 802.11b est la norme la plus répandue actuellement. Elle propose un débit théorique de 11 Mbps (6 Mbps réels) avec une portée pouvant aller jusqu'à 300 mètres dans un environnement dégagé. La plage de fréquence utilisée est la bande des 2.4 GHz, avec 3 canaux radio disponibles.
802.11c	La norme 802.11c n'a pas d'intérêt pour le grand public. Il s'agit uniquement d'une modification de la norme 802.11d afin de pouvoir établir un pont avec les trames 802.11 (niveau <i>liaison de données</i> ).
802.11d	La norme 802.11d est un supplément à la norme 802.11 dont le but est de permettre une utilisation internationale des réseaux locaux 802.11. Elle consiste à permettre aux différents équipements d'échanger des informations sur les plages de fréquence et les puissances autorisées dans le pays d'origine du matériel.
802.11e	La norme 802.11e vise à donner des possibilités en matière de qualité de service au niveau de la couche <i>liaison de données</i> . Ainsi cette norme a pour but de définir les besoins des différents paquets en terme de bande passante et de délai de transmission de telle manière à permettre notamment une meilleure transmission de la voix et de la vidéo.
802.11f	La norme 802.11f est une recommandation à l'intention des vendeurs de point d'accès pour une meilleure interopérabilité des produits. Elle propose le protocole <i>Inter-Access point roaming protocol</i> permettant à un utilisateur itinérant de changer de point d'accès de façon transparente lors d'un déplacement, quelles que soient les marques des points d'accès présentes dans l'infrastructure réseau.
802.11g	La norme 802.11g offre un haut débit (54 Mbps théoriques, 30 Mbps réels) sur la bande de fréquence des 2.4 GHz. La norme 802.11g a une compatibilité ascendante avec la norme 802.11b, ce qui signifie que des matériels conformes à la norme 802.11g peuvent fonctionner en 802.11b

**Tableau 4-1: les différentes révisions de la norme 802.11.**

### 4.3 Cahier de charges :

Plusieurs personnes qui travaillent dans le domaine de la radiofréquence se sont investies pour inventer des nouvelles techniques pour la conception du LNA, surtout dans la gamme des fréquences entre 900 MHz - 2GHz, et plus récemment ils se dirigent vers la gamme de 5 GHz.

En raison de l'évolution de la technologie CMOS, on peut utiliser cette technologie pour implémenter des circuits RF et micro-ondes, c'est pour cette raison que toutes les études se sont focalisées sur le LNA en CMOS.

Dans le tableau 4-2, on a récapitulé les résultats de plusieurs études faites sur le LNA durant la période datant de 1997 à 2005, pour divers technologies (CMOS et bipolaire) et plusieurs fréquences, afin d'avoir une idée sur l'état de l'art dans le domaine de la conception du circuit en question et leurs performances correspondantes.

Auteur	$f_o$ (GHz)	NF(dB)	Gain (dB)	Technologie	année
Ainspan et al.[33]	6.25	3.5	18.3	200-nm SiGeHBT	1997
Carreto et al. [34]	1	2.9	10.3	1.2 $\mu\text{m}$ BiCMOS	1998
Ray et al. [35]	1.9	2.3	10.9	Si BJT	1999
Tsang et al. [36]	5.8	4	11.5	Si BJT	2001
Yang et al. [37]	1.9	1.4	20	0.35 $\mu\text{m}$	1999
Zhao et al. [38]	2	2.3	18.06	0.6 $\mu\text{m}$	2001
Yang et al. [39]	2.4	2.4	20	0.25 $\mu\text{m}$	2001
Fouad et al. [40]	1	2.7	21.6	0.5 $\mu\text{m}$	2001
Long et al. [41]	2.4	0.76	12.9	0.18 $\mu\text{m}$	2002
D.J.Cassan [42]	5.7	2	21.6	0.18 $\mu\text{m}$	2003
H.-H. Hsieh,[43]	2.4	2.9	10.1	0.18 $\mu\text{m}$	2005

**Tableau 4-2 : Résumé des études récentes sur les LNAs.**

En dépit de la longue histoire de développement du LNA, les travaux qui s'effectuent tournent toujours autour d'un compromis englobant le facteur de bruit, le gain, la linéarité, la tension d'alimentation et la consommation de puissance. Ce compromis a généralement pour but de :

- minimiser le facteur de bruit.
- fournir assez de gain
- améliorer la linéarité du circuit.
- fournir une impédance de  $50 \Omega$  à l'entrée et à la sortie de l'amplificateur.
- réduire la consommation de puissance

Ceci dit que notre cahier de charges est défini autour des objectifs résumés dans le tableau 4-3 suivant :

Procédé Technologique	0.18 $\mu\text{m}$
Fréquence	5.2 / 2.4 GHz
Tension d'alimentation	1.8 V
facteur de bruit	< 3dB

Gain	> 15 dB
Consommation de puissance	< 9 mW (5mA/1.8V)

**Tableau 4-3 : Cahier de charges.**

#### 4.4 Technologie CMOS utilisée :

La technologie CMOS 0.18 $\mu$ m est un procédé très avancé qui est utilisé pour l'intégration des circuits et systèmes à l'échelle microélectronique tout en ayant des rendements très élevés. Cette technologie est considérée comme une technologie planaire et composée de plusieurs couches de matériaux pour permettre un niveau d'interconnexion très élevé. Le standard CMOS 0.18 $\mu$ m s'appuie sur une chaîne de production de haute qualité, permettant d'atteindre de hauts niveaux de fiabilité. Cette technologie est à l'origine d'un grand nombre d'applications digitales, analogiques, mixtes et radiofréquences.

#### 4.5 Partie conception et simulation :

Dans cette partie, nous allons concevoir un amplificateur à faible bruit selon deux méthodes différentes qui sont : la méthode analytique et la méthode classique sous contrainte de la consommation de puissance.

##### 4.5.1 Méthode analytique :

Cette méthode se base sur les expressions et relations déjà vues dans la partie théorique chapitre 3 (architectures et méthodologies de conception des LNAs) :

En effet, le dimensionnement du transistor de la méthode analytique consiste à calculer la largeur optimale et les éléments intrinsèques du transistor et les caractéristiques électriques qui permettent un meilleur compromis entre les différents facteurs, pour aboutir à un facteur de bruit minimal et un gain maximal simultanément.

- La largeur optimale du transistor  $W_{opt} = \frac{3}{2\omega LC_{ox} R_s Q_s}$  .
- La tension de polarisation  $V_{GS}$ :  $I_{ds} = \frac{Kn}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2 \Rightarrow$  la tension  $V_{GS}$ , la consommation en puissance  $I_{ds}$  est fixée
- La transconductance  $G_m = Kn \cdot \frac{W \cdot (V_{GS} - V_{TH})}{L}$  (Siemens)



- La capacité  $C_{GS} \Rightarrow C_{GS} = \frac{3}{2} W L C_{OX}$  (Farad)
- Les éléments d'adaptation seront calculés selon ces valeurs trouvées (les éléments du transistor)

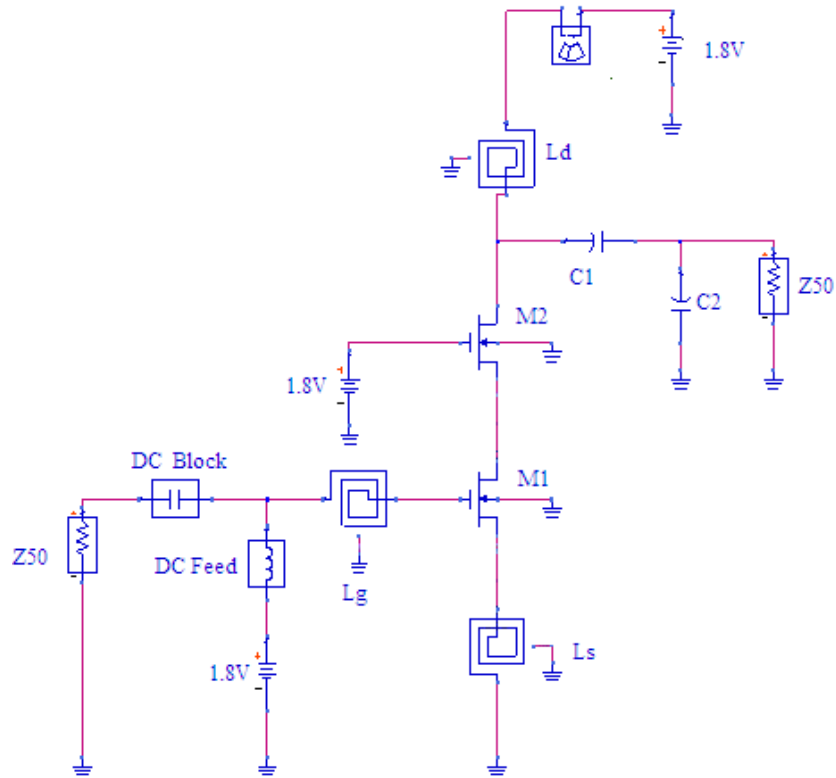
Puisque nous avons deux fréquences, nous allons récapituler les résultats trouvés dans le tableau 4-4:

Fréquence (GHz)	2.4	5.2
$W_{opt}$ ( $\mu m$ )	332	134
$V_{GS}$ (V)	0.63	0.67
$G_m$ (mS)	53	36
$C_{GS}$ (pF)	7.66	3.53
$L_G$ (nH)	3.44	1.35
$L_S$ (nH)	0.13	0.19

**Tableau 4-4 : Les valeurs des paramètres technologiques du transistor.**

Etant donné que notre choix a été déjà fait sur le montage cascode à dégénérescence inductive. Nous allons procéder à des simulations pour chaque LNA. Notant que ces derniers vont fonctionner séparément aux 2.4 et 5.2 GHz.

Soit le montage de l'amplificateur à faible bruit représenté dans la figure 4-1 :



**Figure 4-1 : LNA à source de dégénérescence inductive (méthode analytique).**

Suite au choix de cette architecture, les valeurs des composants calculées pour les deux LNAs seront mentionnées dans le tableau 4-5 :

Fréquence (GHz)	2.4	5.2
Ls (nH)	0.13	0.19
Lg (nH)	3.44	1.35
Ld (nH)	0.89	1.13
Ids/VDD (mA/V)	8.07 / 1.8	6.88 / 1.8
W1 (μm)	332	134
C1 (pF)	3.83	0.36
C2 (pF)	4.02	0.92

**Tableau 4-5 : Les valeurs des composants pour les deux circuits 2.4/5.2GHz**

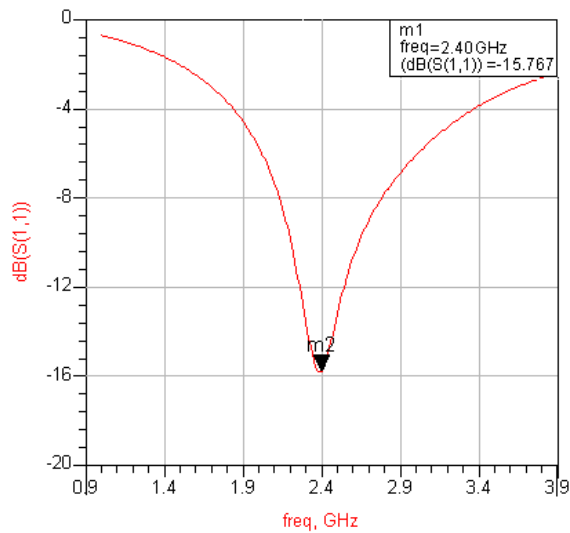


Figure4-2 : Adaptation de S11@2.4GHz.

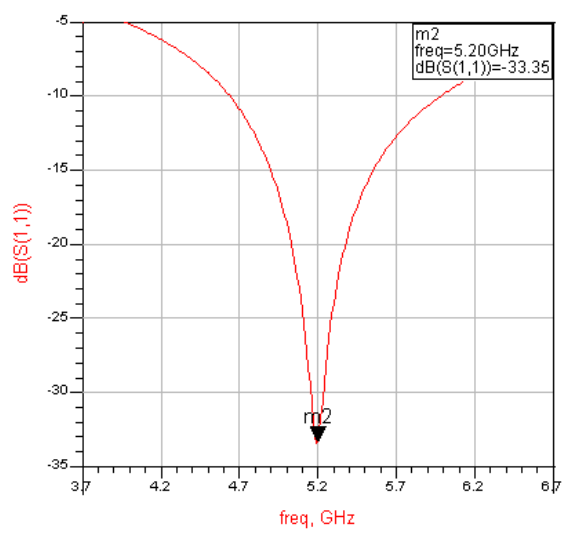


Figure 4-3 : Adaptation de S11@5.2GHz.

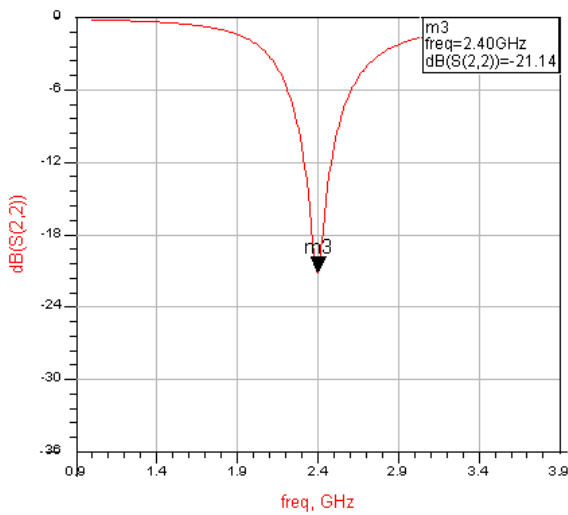


Figure 4-4 : Adaptation de S22@2.4GHz

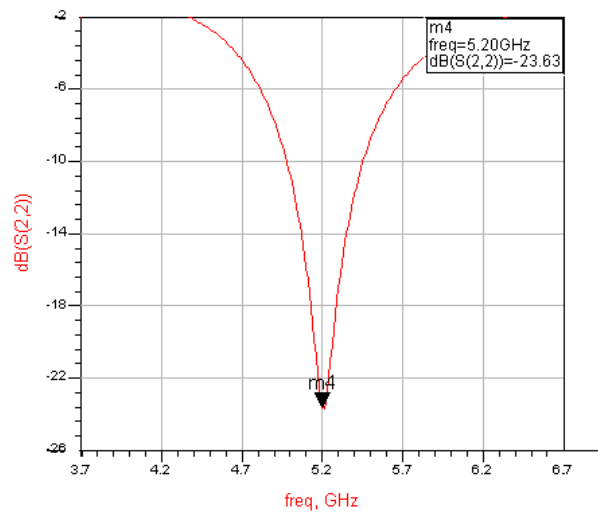


Figure 4-5 : Adaptation de S22 @5.2GHz.

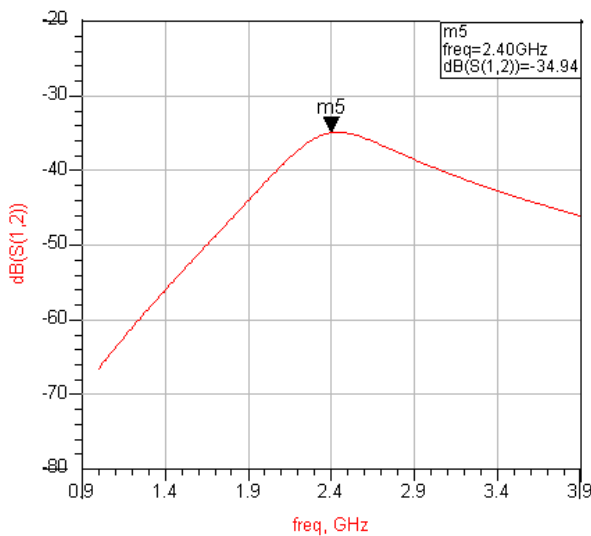


Figure 4-6 : Isolation S12@2.4GHz.

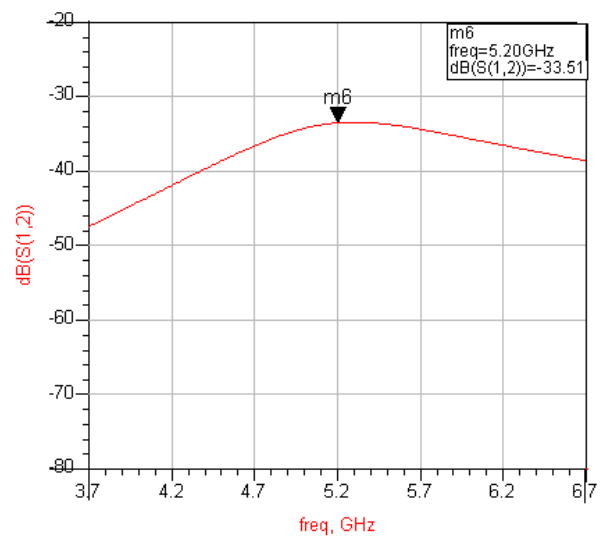


Figure 4-7 : Isolation S12@5.2GHz.

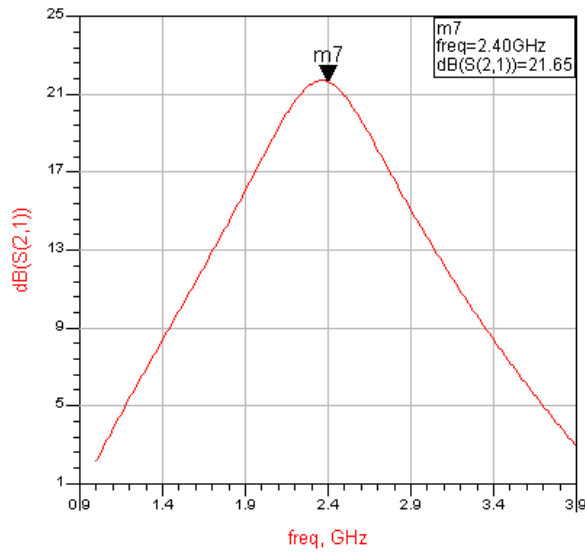


Figure 4-8 : Gain S21 à 2.4GHz.

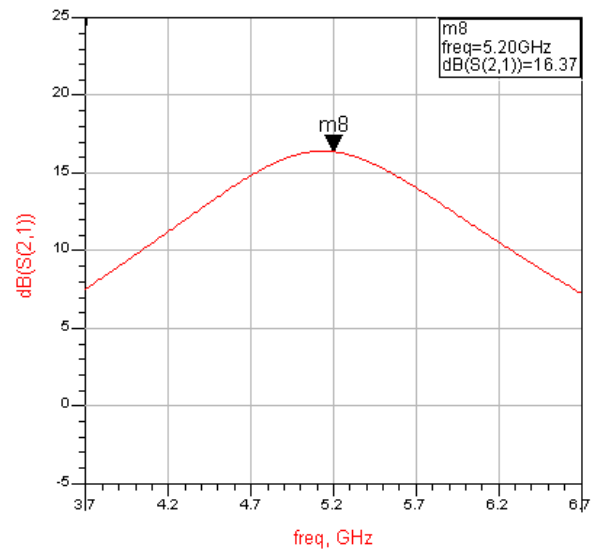


Figure 4-9 : Gain S21 à 5.2GHz.

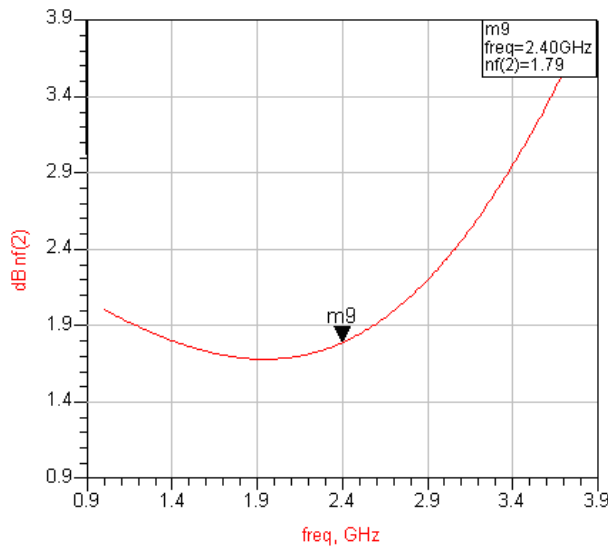


Figure 4-10 : Facteur de bruit NF@.4GHz.

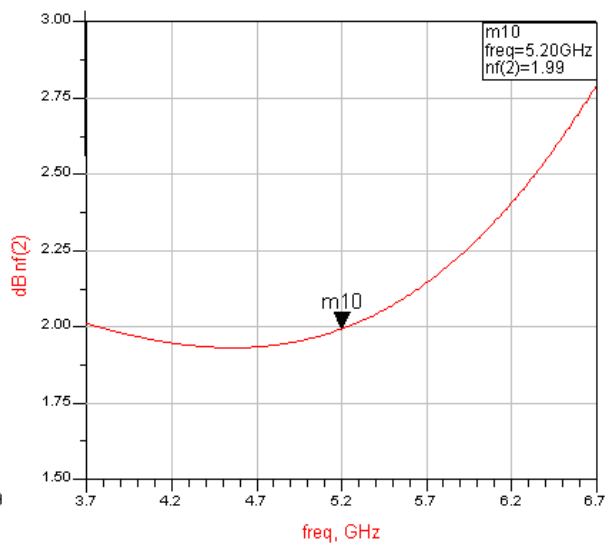


Figure 4-11 : Facteur de bruit NF@ 5.2GHz.

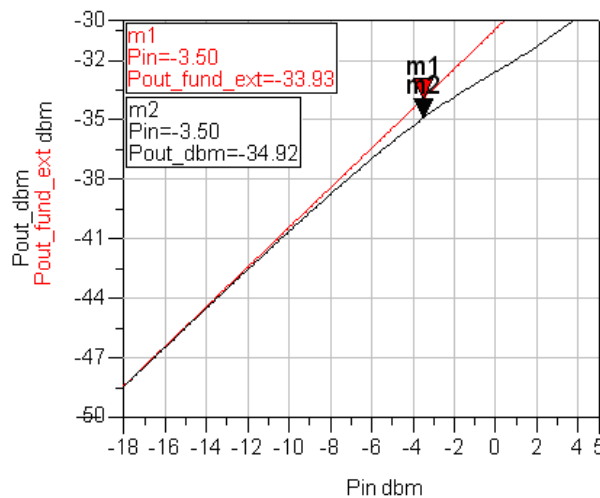


Figure 4-12 : ICP-1dB @.4GHz.

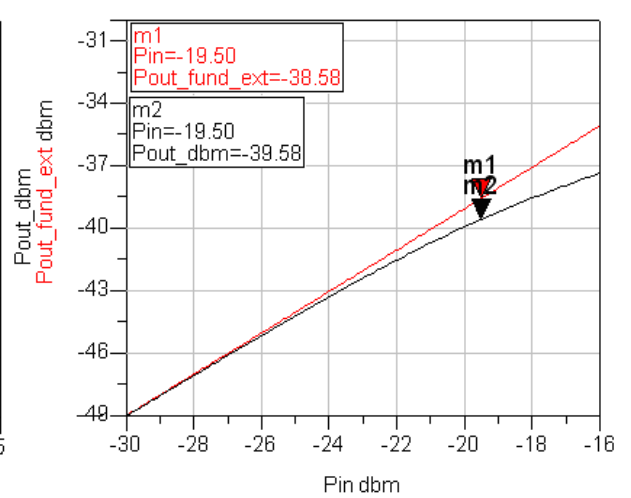


Figure 4-13 : ICP-1dB@5.2GHz.

Ayant appliqué une tension d'alimentation de 1.8V, la polarisation des circuits LNAs correspondants aux deux fréquences a utilisé les courants 8.07 et 6.88 mA pour les fréquences 2.4 et 5.2GHz respectivement. Le gain en puissance et l'isolation simulés à la fréquence 2.4GHz sont respectivement 18.489 dB et -38,76 dB, et pour la fréquence 5.2GHz sont 15.96 dB et -32.76 dB. Les pertes de réflexion à l'entrée et à la sortie sont respectivement -18.62 et -21.45dB pour la fréquence 2.4GHz. Et pour la fréquence 5.2GHz sont -22.27 dB et -17.54 dB. Le facteur de bruit est égal, respectivement, à 1.81dB et 1.91 dB pour les fréquences 2.4 et 5.2GHz.

Les résultats trouvés pour les deux fréquences sont résumés dans le tableau (4-6):

Fréquence (GHz)	2.4	5.2
S11 (dB)	-18.62	-22.27
S22 (dB)	-21.45	-17.54
S12 (dB)	-38,76	-32.76
S21 (dB)	18.49	15.96
NF (dB)	1.81	1.91
OCP1/ICP1 (dBm)	-34.92/- 3.5	-39.58/-19.5
Pdc (mW)	14.52	12.38

**Tableau 4-6 : Les performances obtenues par la méthode analytique.**

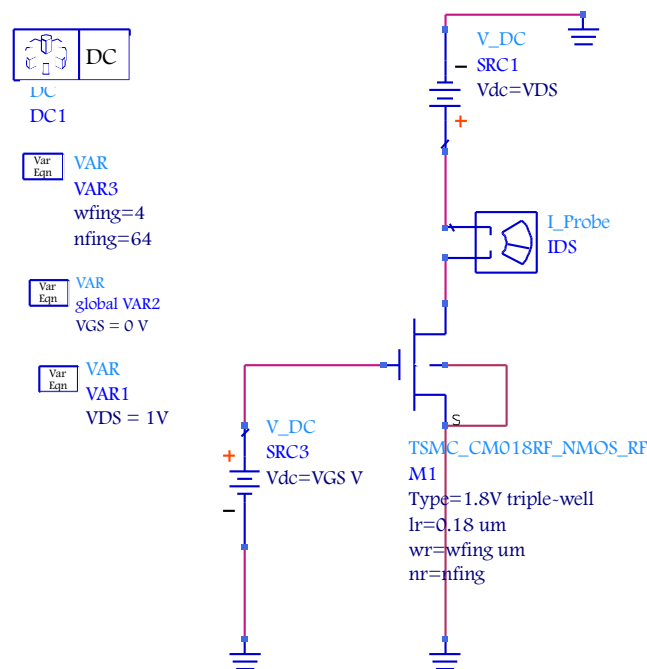
D'après les résultats obtenus, nous remarquons que la méthode analytique offre un facteur de bruit intéressant et un gain en puissance très important pour les deux fréquences 2.4 et 5.2GHz. Ainsi, on peut dire que la méthode analytique a bien tenu ses promesses en terme du bruit et du gain. En revanche cette méthodologie ne peut aller au-delà du cahier de charges établi du point de vue consommation de puissance, c'est pour cette raison que nous avons pensé à une autre méthode qui nous permet d'avoir un compromis entre consommation de puissance, facteur de bruit et gain en puissance.

#### **4.5.2 Méthode classique sous contrainte de la consommation de puissance :**

En s'inspirant de la conception RF discrète sur PCB (Printed Circuit Board), où la conception se fait à la base du choix des transistors et leurs abaques de données, autrement dit, nous allons

procéder de la même manière afin de déterminer le point de fonctionnement du transistor répendant à la contrainte de la consommation de puissance à l'aide des différents simulations par l'utilisation du logiciel ADS (DC et S-Paramaters). A travers la simulation DC (Figure 4-14), le point de fonctionnement va permettre de trouver le dimensionnement du transistor adéquat (la largeur  $W$ ) qui nous donne un courant de consommation  $I_{ds}$  égal où inférieur à 5mA (Figure 4-15) et une transconductance ( $G_m$ ) importante qui se situe entre : 40ms – 70ms tout en variant la tension  $V_{gs}$  et la largeur  $W$  (Figure 4-16) .

Par la suite, nous passons à la simulation S-Parametes (Figure 4-17) qui consiste à faire une simulation de paramètres de répartition (S) de transistor pour sélectionner un facteur de bruit NF raisonnable et un gain assez suffisant (Figure 4-18, 4-19, 4-20).



**Figure 4-14 : Simulation DC du transistor en variant sa largeur ( $W$ ).**

Nous présentons ici les résultats de la simulation DC, dont les graphes sont obtenus par le simulateur ADS.

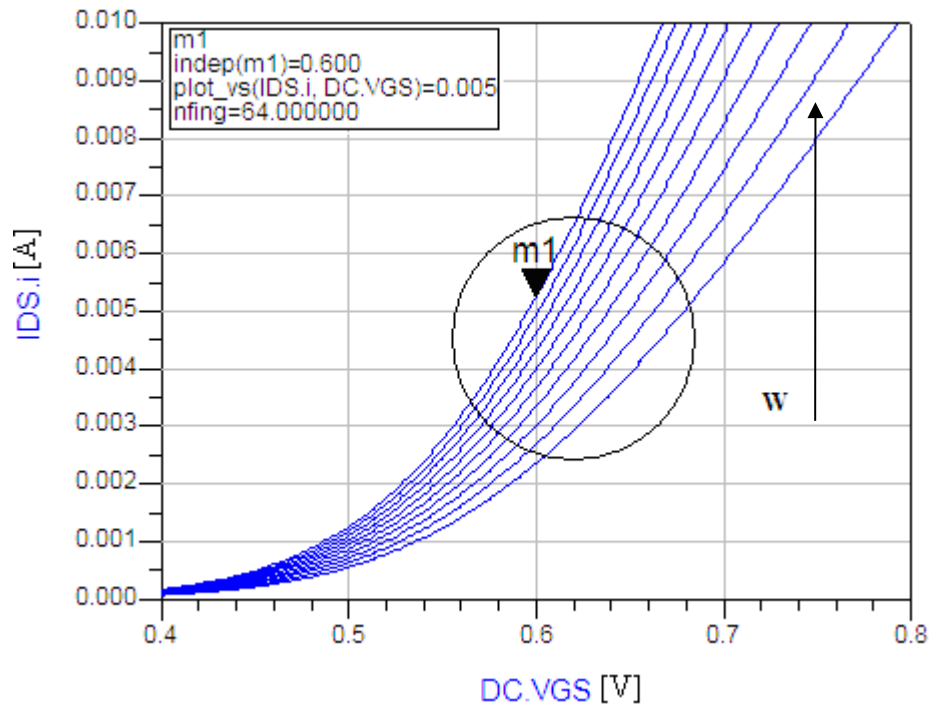


Figure 4-15 : Le courant  $I_{ds}$  en fonction de la tension  $V_{gs}$ .

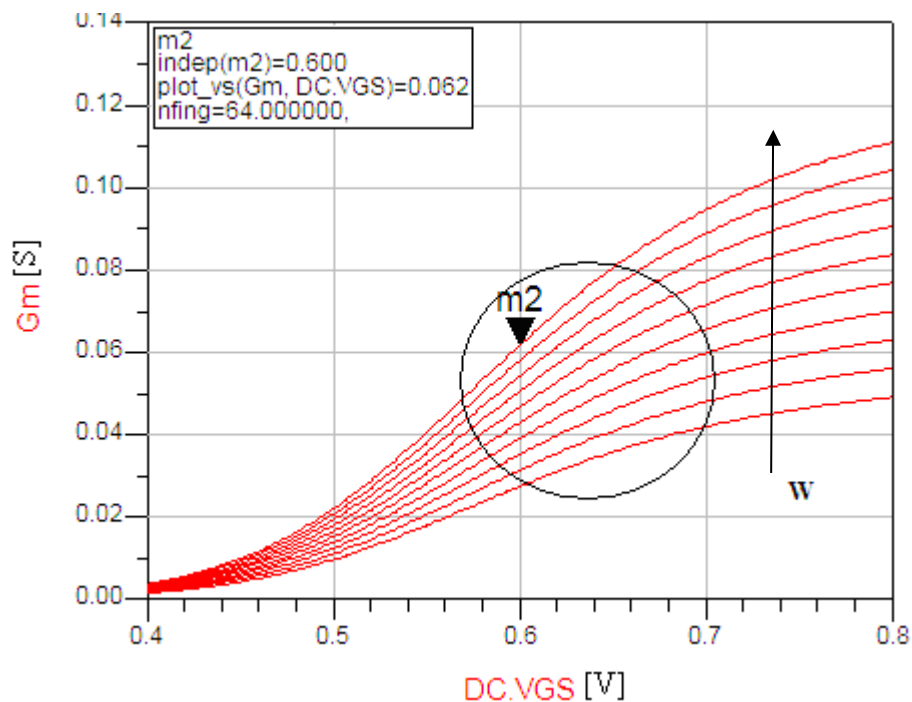


Figure 4-16 : La transconductance  $G_m$  en fonction de la tension  $V_{gs}$ .

Dans cette partie nous avons sélectionné une largeur  $W$  qui est égale à  $256\mu\text{m}$ . D’après les figures (4-14, 4-15), nous remarquons que la consommation en courant est égale à  $5\text{mA}$ , et la

transconductance  $G_m$  est égale à 62 ms soit supérieure à 40 ms, donc c'est une valeur très intéressante et elle nous permet d'avoir une bonne amplification et un gain en tension élevé. La figure ci-dessous représente le circuit de simulation des paramètres S du transistor en utilisant le logiciel ADS.

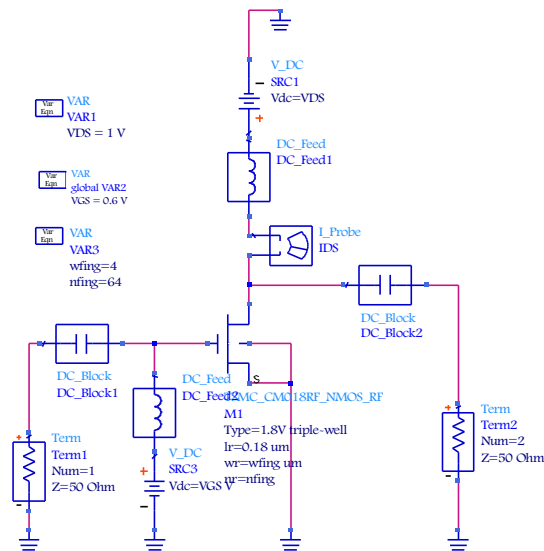


Figure 4-17 : Simulation des paramètres S du transistor sans dégénérescence.

Les figures suivantes montrent le gain en puissance et le facteur de bruit du transistor sans dégénérescence.

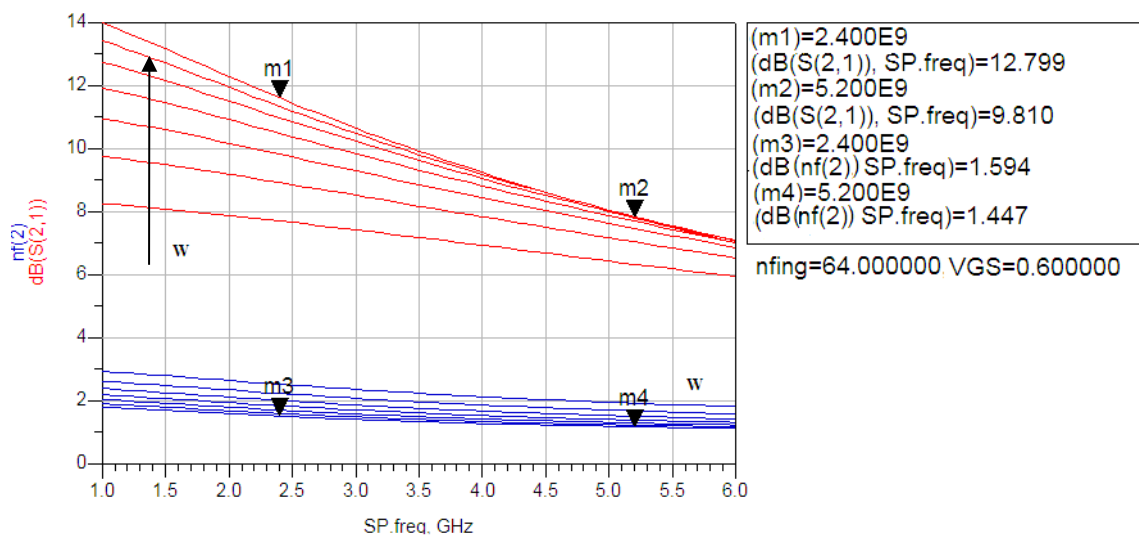
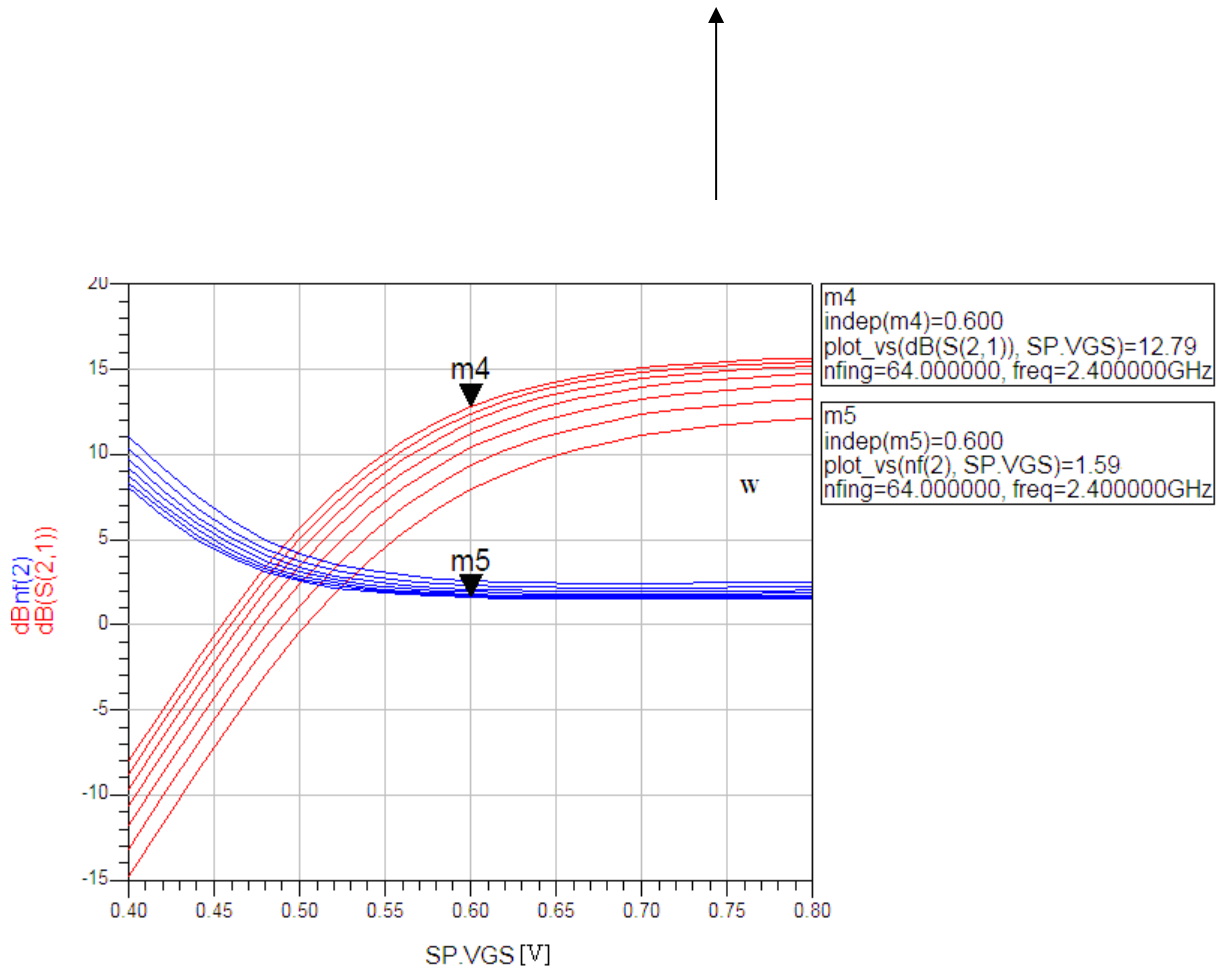
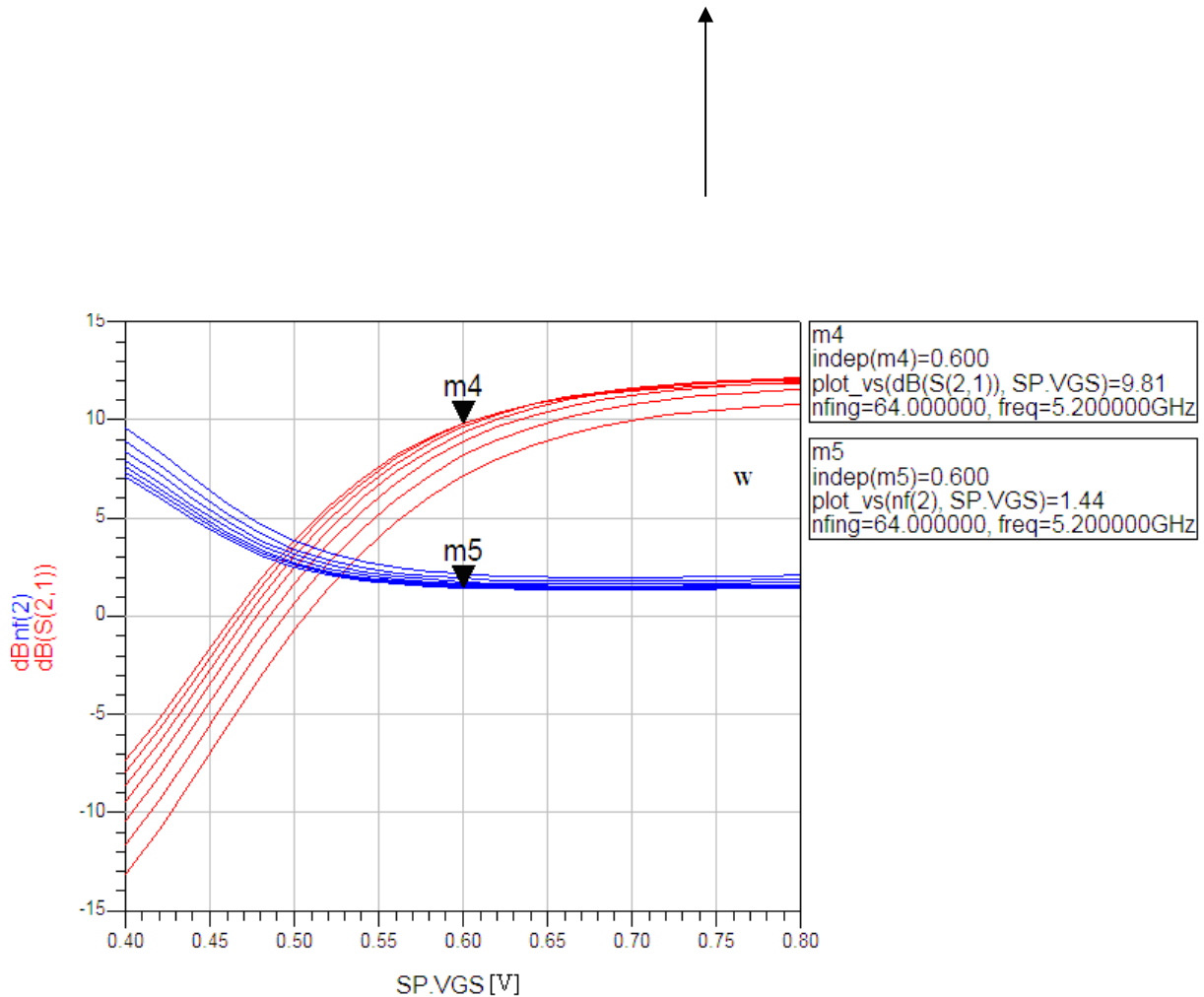


Figure 4-18 : Le facteur de bruit et le gain en puissance pour 2.4 /5.2 GHz.





**Figure 4-19 : Le facteur de bruit et le gain en puissance pour la fréquence 2.4 GHz.**



**Figure 4-20 : Le facteur de bruit et le gain en puissance pour la fréquence 5.2 GHz.**

Nous avons sélectionné ce transistor afin qu'il puisse donner des bons résultats pour les deux fréquences 2.4 et 5.2 GHz, avec une légère différence. Car ce transistor il va être implémenté dans les deux prochains montages qui fonctionnent à deux fréquences différentes (2.4 GHz et 5.2 GHz).

Etant donné que notre choix a été déjà fait sur le montage cascode à dégénérescence inductive. Nous allons procéder à des simulations pour chaque LNAs. Ces derniers fonctionnent séparément aux 2.4 et 5.2 GHz. les valeurs de ces éléments sont représentées de le tableau (4-7) :

Les figures présentées dans cette partie sont : les coefficients de réflexions à l'entrée du transistor sans dégénérescence, pour les deux fréquences 2.4 et 5.2GHz, avec un Vgs égale à 0.6 V, plus la tension Vds égale à 1V et un nombre de doigts égale à 64.

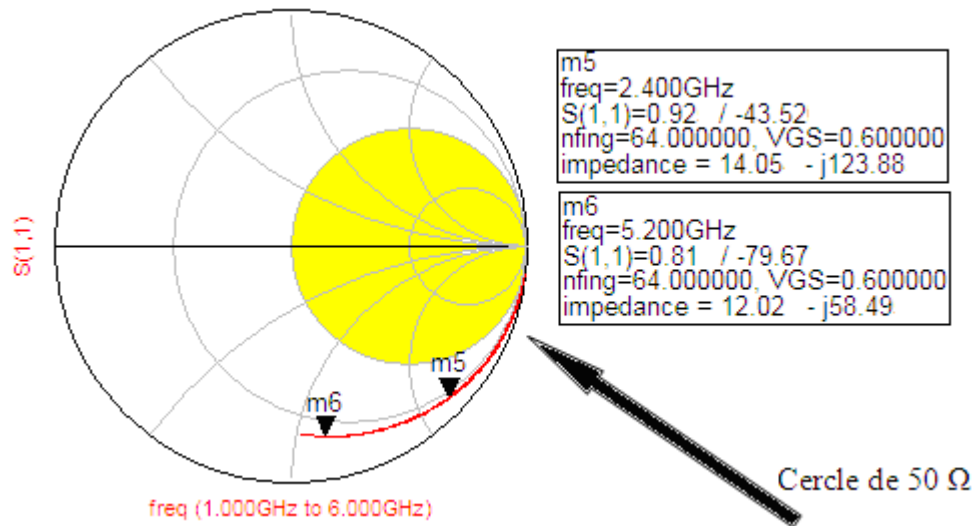


Figure 4-21 : Le coefficient de réflexion à l'entrée du transistor sans dégénérescence.

La figure ci-dessous représente le circuit de simulation des paramètres S du transistor avec une inductance de dégénérescence en utilisant le logiciel ADS.

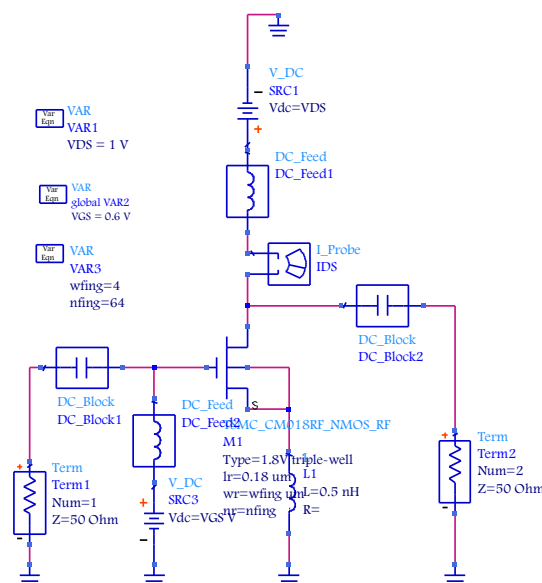
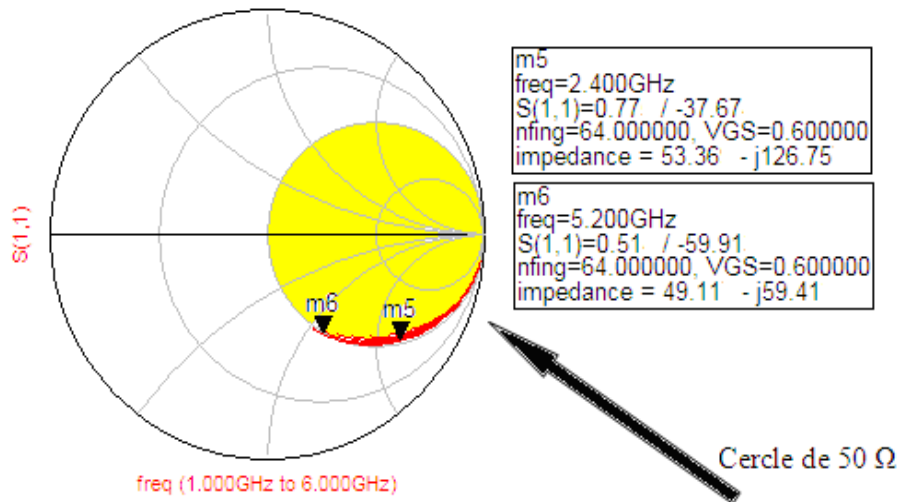


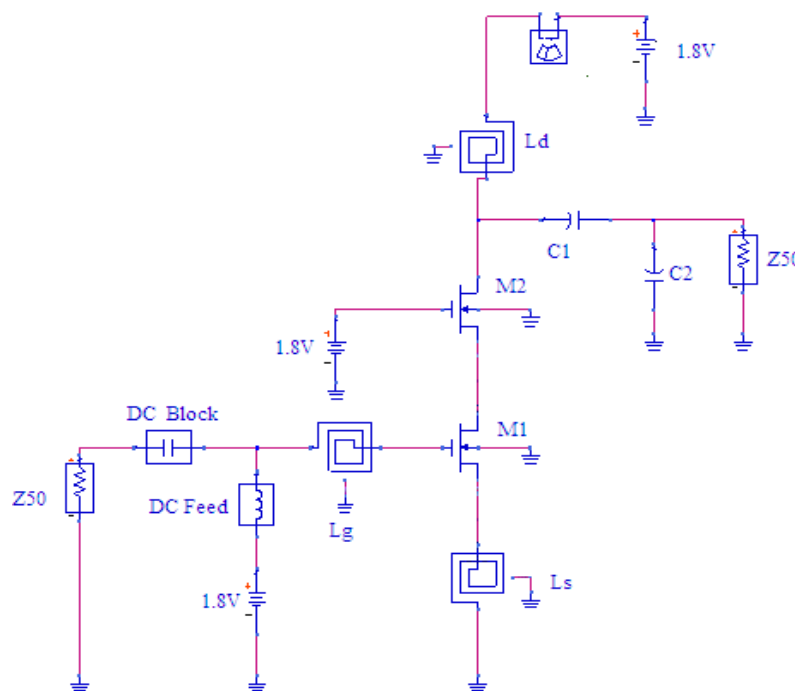
Figure 4-22 : Simulation des paramètres S du transistor avec dégénérescence.

La figure présentée dans cette partie est le coefficient de réflexion à l'entrée du transistor avec inductance de dégénérescence, pour les deux fréquences 2.4 et 5.2GHz, avec un  $V_{gs}$  égale à 0.6 V, plus la tension  $V_{ds}$  égale à 1V et un nombre de doigts égale à 64.



**Figure 4-23 : Le coefficient de réflexion à l'entrée du transistor avec adaptation.**

Soit le montage de l'amplificateur à faible bruit avec dégénérescence inductive représenté dans la figure 4-23 :



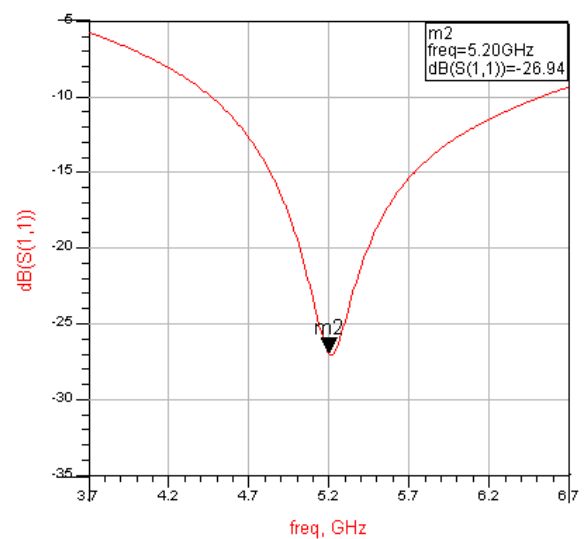
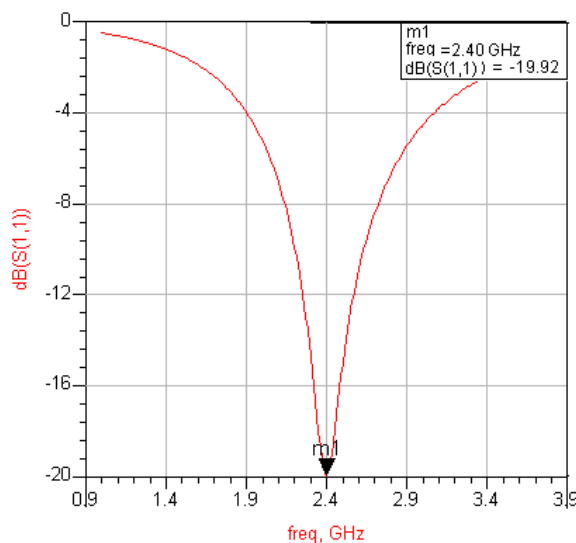
**Figure 4-24 : LNA à source de dégénérescence inductive (méthode classique).**

Les valeurs des composants du circuit de la figure 4-24 sont mentionnées dans le tableau 4-7 :

Fréquence (GHz)	2.4	5.2
Ls (nH)	0.12	0.28
Lg (nH)	4.19	1.03
Ld (nH)	0.93	1.09
Ids/VDD (mA/V)	4.80 /1.8	4.63/1.8
W1 (μm)	256	256
C1 ( pF)	3.75	0.35
C2 (pF)	3.93	0.71

**Tableau 4-7 : Valeurs des éléments du circuit pour chaque fréquence.**

Les figures suivantes, montre les résultats de la simulation obtenue par le simulateur ADS du LNA cascode à source dégénérescence inductive pour les deux fréquences 2.4 et 5.2 GHz en fonction des paramètres S.



**Figure4-25 : Adaptation de S11@2.4GHz.    Figure 4-26 : Adaptation de S11@5.2GHz**

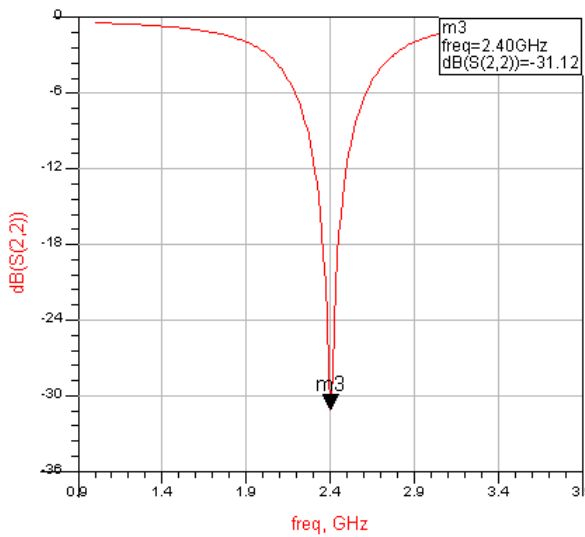


Figure 4-27 : Adaptation de S22@2.4GHz.

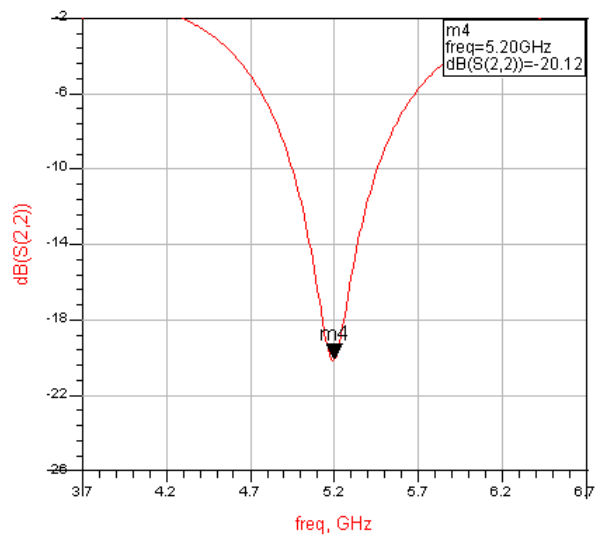


Figure 4-28 : Adaptation de S22@5.2GHz.

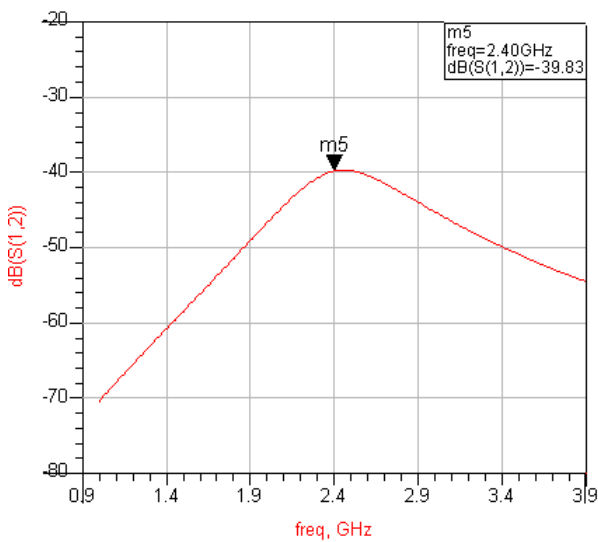


Figure 4-29 : Isolation S12@2.4GHz.

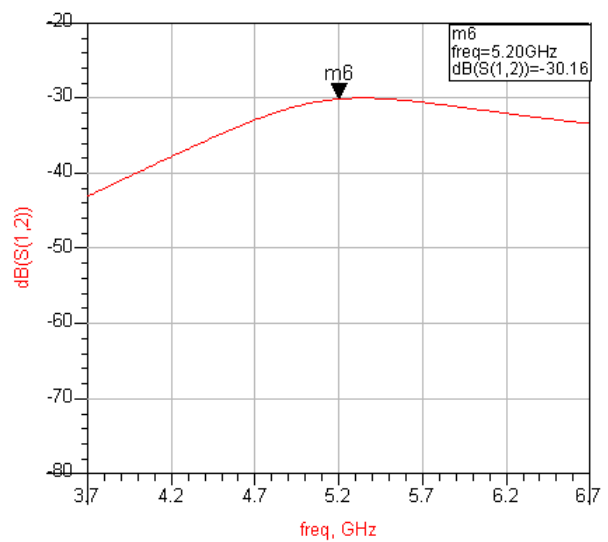


Figure 4-30 : Isolation S12 @ 5.2GHz.

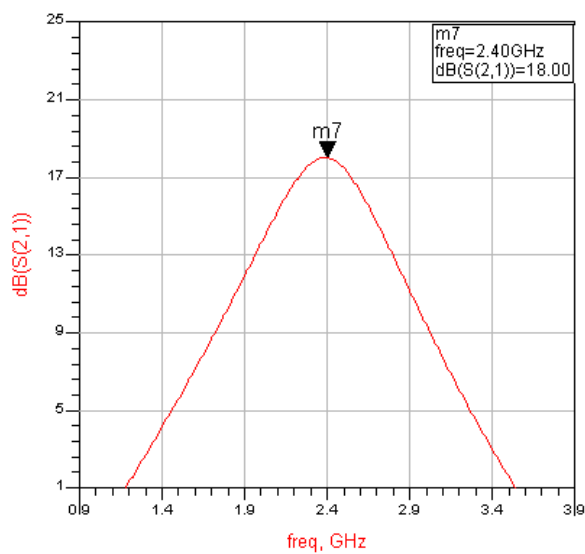


Figure 4-31 : Gain S21@2.4GHz.

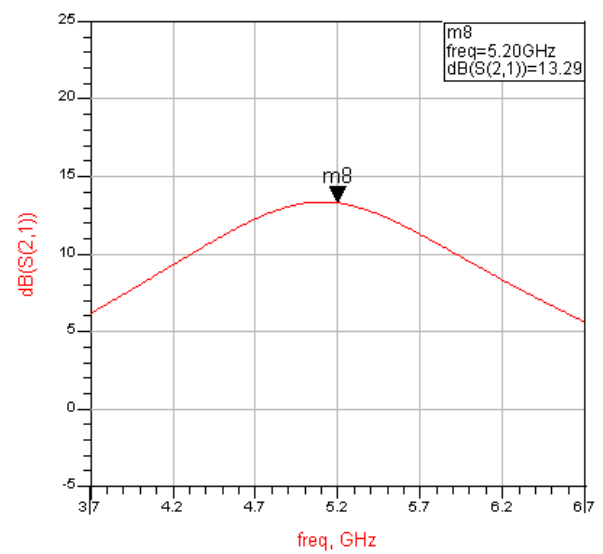


Figure 4-32 : Gain S21 @ 5.2GHz.

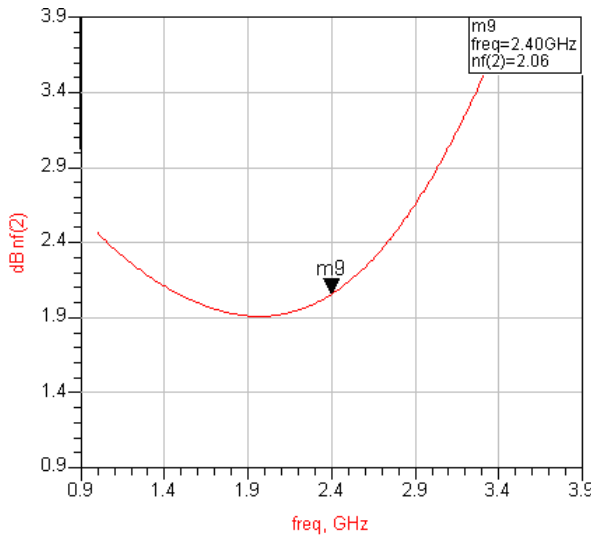


Figure 4-33 : Facteur de bruit NF@2.4GHz.

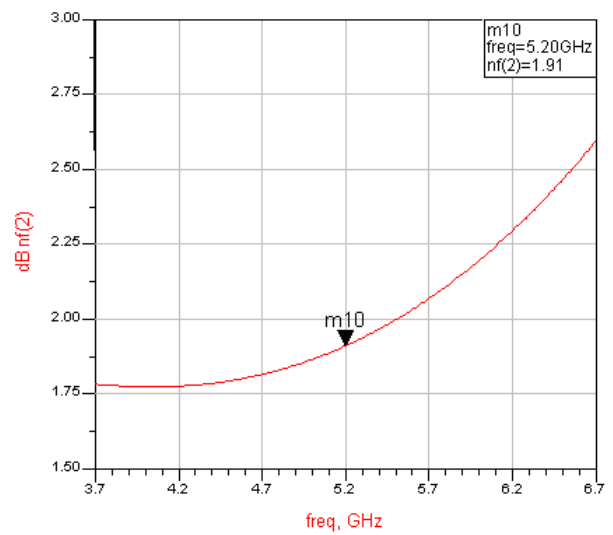


Figure 4-34: Facteur de bruit NF@5.2GHz.

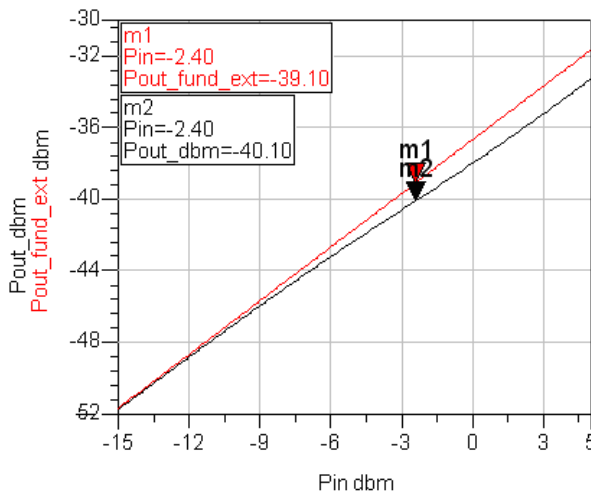


Figure 4-35 : ICP-1dB@2.4GHz.

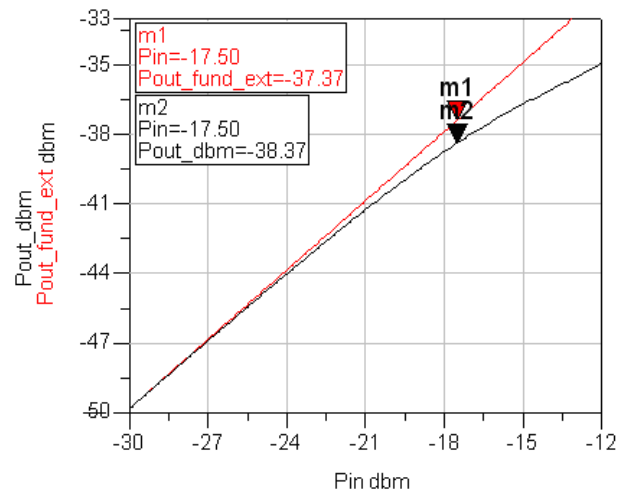


Figure 4-36 : ICP-1dB@5.2GHz.

Ces simulations ont permis donc d’avoir des nouveaux résultats liés au courant de polarisation. Ainsi, on peut noter que les courants de polarisation 4,80 et 4,63 mA qui sont respectivement consommés à travers deux LNAs pour les fréquences 2.4 et 5.2GHz. Le gain en puissance et l’isolation simulés à la fréquence 2.4GHz sont respectivement 13.29 dB et -39,83 dB, et pour la fréquence 5.2GHz sont 18 dB et -30.16 dB. Les pertes de réflexion à l’entrée et à la sortie sont respectivement  $S_{11}=-19$  dB et  $S_{22}=-31$ dB pour la fréquence 2.4GHz. Et pour la fréquence 5.2GHz, elles sont -26.92 dB et -30.16 dB. Le facteur de bruit est égal à 2.05 dB et 1.91 dB pour les fréquences 2.4/5.2GHz respectivement. Les résultats obtenus par simulations sont aussi résumés dans le tableau 4-8.

fréquence GHz	2.4	5.2
S11 dB	-19	-27
S22 dB	- 31	-30
S12 dB	- 40	-30
S21 dB	18	13
NF (dB)	2.05	1.91
OCP1/ICP1 (dBm)	- 40.10/-2.4	- 38.37/-17.5
Pdc (mW)	8.64	8.33

**Tableau 4-8 : Les performances obtenues par la méthode classique.**

A titre de comparaison avec le tableau 4-3 où on a aussi reporté des résultats publiés récemment pour des LNAs réalisés en technologie CMOS, on peut bien dire que les résultats obtenus sont très encourageants pour ce travail.

### **4.5.3 Amplificateur à faible bruit Bi-Bande 2.4 GHz et 5.2 GHz :**

Les bandes des fréquences 2.4GHz et 5.2GHz sont largement utilisées dans les systèmes de communication, surtout dans le standard WLAN 802.11. Cette norme représente le standard le plus utilisé dans les systèmes de communication modernes, et il y a un grand besoin d'un émetteur-récepteur capable de travailler avec ces deux fréquences. Et face à l'augmentation de la capacité des récepteurs à gérer plusieurs standards, l'amplificateur à faible bruit doit être compatible avec ces nouvelles normes. C'est pour cette raison on a pensé à concevoir un amplificateur à faible bruit Bibande.

#### **4.5.3.1 Principe de fonctionnement :**

L'amplificateur à faible bruit Bibande est un amplificateur qui fonctionne en deux fréquences, il est caractérisé par un réseau d'entrée et sortie qui change de valeur pour chaque fréquence (2.4/5.2GHz).

#### **4.5.3.2 A) Réseau d'entrée :**

Nous avons remplacé l'inductance  $L_g$  du montage précédent par un réseau constitué d'une inductance en parallèle avec une capacité plus une autre inductance en série. De plus, on a éliminé l'inductance de dégénérescence  $L_s$ . Pour chaque fréquence donnée, l'ensemble parallèle



de l'inductance et la capacité va changer de comportement et donne une impédance équivalente. Cette impédance n'est qu'une inductance équivalente  $L_{eq}$  avec une nouvelle valeur qui arrive à adapter l'entrée de transistor.

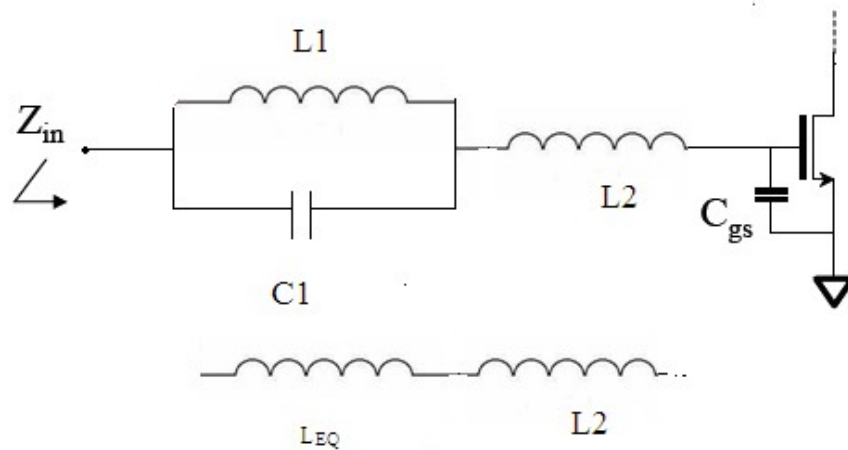


Figure 4-37 Réseau d'entrée de l'amplificateur à faible bruit Bi-bande.

L'impédance d'entrée dans ce cas est égale à :

$$Z_{IN} = R_{inM} + j \left( \omega L_{EQ} + \omega L2 - \frac{1}{\omega C_{GS}} \right)$$

Telle que :

$$L_{EQ} = \frac{L_1}{1 - \left( \frac{\omega}{\omega_0} \right)^2} \quad \text{avec : } \omega_0^2 = \frac{1}{L_1 C_1} \quad \omega_0 \gg \omega$$

à la résonance, la partie imaginaire est nulle :  $\omega L_{EQ} + \omega L2 - \frac{1}{\omega C_{GS}} = 0$  et la partie réelle : résistance interne de transistor plus les résistances parasites des inductances :  $R_{inM} + R_{parasite}$  doivent être égale à  $50 \Omega$ . Pour avoir l'adaptation aux fréquences désirées 2.4 et 5.2 GHz, la somme des deux inductances doit être égale à :

$$L_{EQ} + L2 = Lg1 \quad (Lg1 : \text{représente l'inductance de grille du montage cascode @2.4 GHz})$$

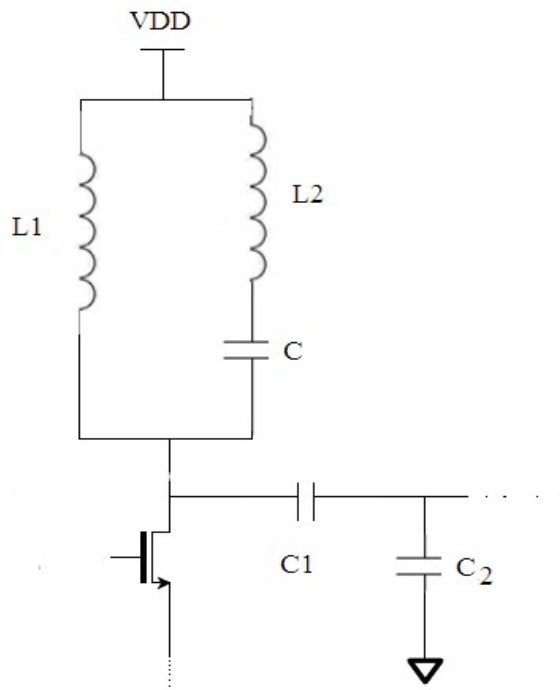
$$L_{EQ} + L2 = Lg2 \quad (Lg2 : \text{représente l'inductance de grille du montage cascode @5.2 GHz})$$

**Note :** on a éliminé l'inductance  $L_S$  pour réduire le bruit à l'entrée de l'amplificateur, mais on aura une mauvaise adaptation à l'entrée car c'est l'inductance  $L_S$  qui génère le  $50 \Omega$  à l'entrée de l'amplificateur.

#### 4.5.3.3 B) Réseau de sortie :

Pour le réseau de sortie nous remplaçons l'inductance  $L_D$  par un réseau constitué d'une inductance en série avec une capacité, le tout en parallèle avec une autre inductance. Pour une fréquence donnée soit 2.4 et 5.2GHz, la capacité en série avec l'inductance sont choisies telles qu'elles changent de comportement et de valeur pour les deux fréquences, pour avoir une impédance équivalente qui est égale aux inductances  $L_D$  des montages précédents (LNA 2.4/5.2GHz). Ainsi, on peut obtenir une adaptation aux fréquences voulues.

Soit le réseau de sortie représenté dans la figure 4-38 :



**Figure 4-38 Réseau de sortie de l'amplificateur Bibande.**

$Z_{EQ} = j\omega L_1 // (j\omega L_2 + \frac{1}{j\omega C})$ , telle que le réseau change de valeur pour les deux fréquences 5.2 et 2.4 GHz :

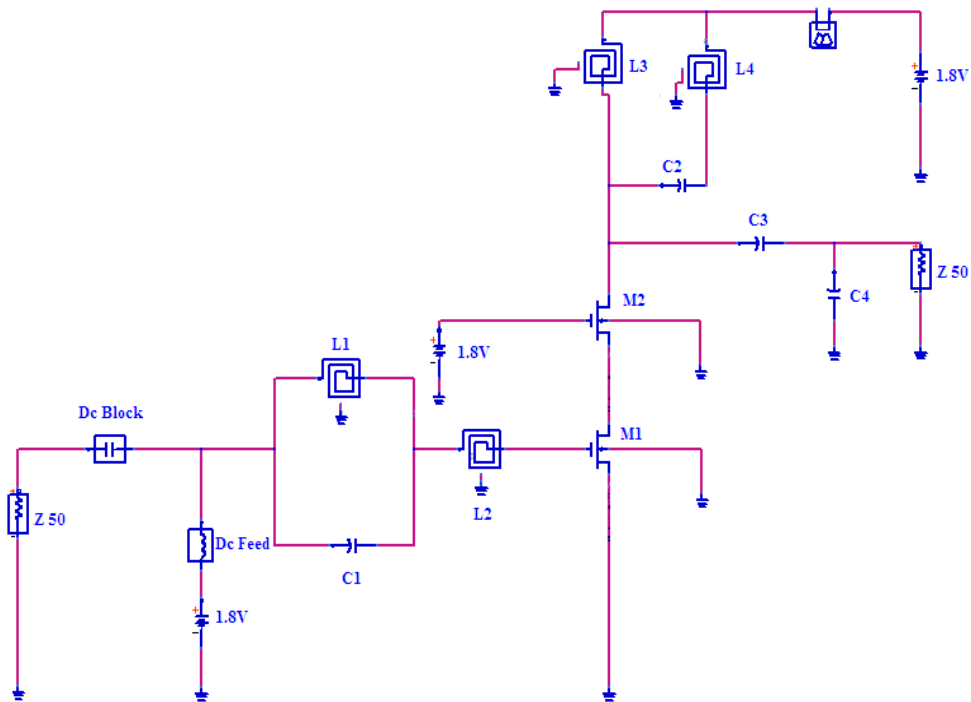
$$j \omega_1 L_2 + \frac{1}{j \omega_1 C} = j \omega_1 L_3 \quad \text{pour la fréquence 2.4 GHz} \rightarrow Z_{EQ} = j \omega L_1 // j \omega_1 L_3 = j \omega L_{D1}$$

(  $L_{D1}$  : l'inductance du réseau de sortie de l'amplificateur cascode 5.2 GHz )

$$j \omega_2 L_2 + \frac{1}{j \omega_2 C} = j \omega_1 L_4 \quad \text{pour la fréquence 5.2 GHz} \rightarrow Z_{EQ} = j \omega L_1 // j \omega_1 L_4 = j \omega L_{D2}$$

(  $L_{D2}$  : l'inductance du réseau de sortie de l'amplificateur cascode 2.4 GHz )

Soit le montage d'un amplificateur faible bruit Bi-bande (Figure 4-39) :



**Figure 4-39 : Amplificateur à faible bruit Bibande @ 2.4/5.2 GHz**

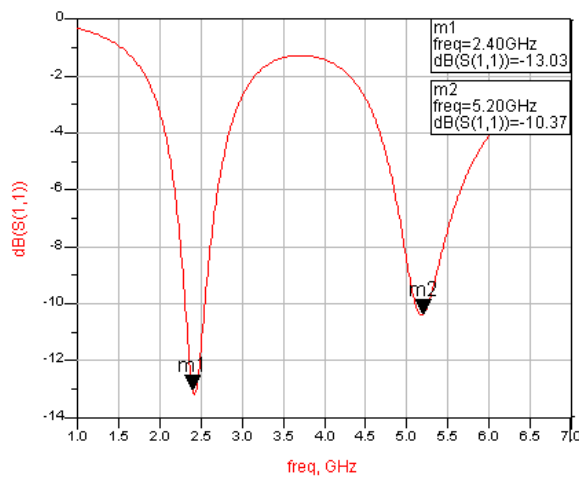
Les grandeurs des composants utilisés sont données dans le tableau suivant :

Composant	valeurs
L1 (nH)	1.4
L2 (nH)	1.92
L3 (nH)	0.93
L4 (nH)	1.42
C1 (pF)	0.67
C2 (pF)	0.61
C3 (pF)	1.65

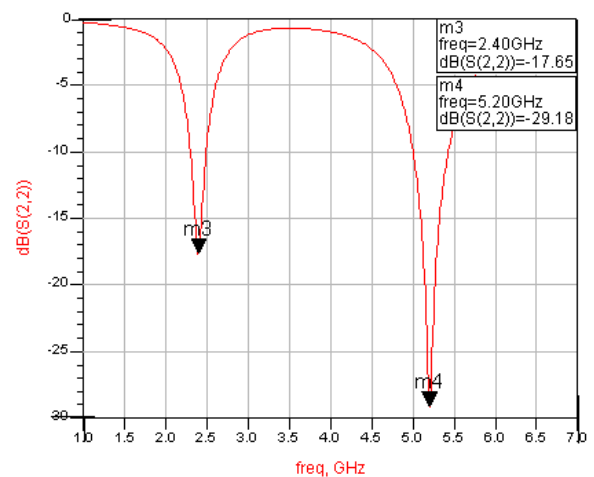
C4 (pF)	1.38
W (μm)	256
Ids (mA)	5

**Tableau 4-9 : Valeurs des éléments du circuit Bibande.**

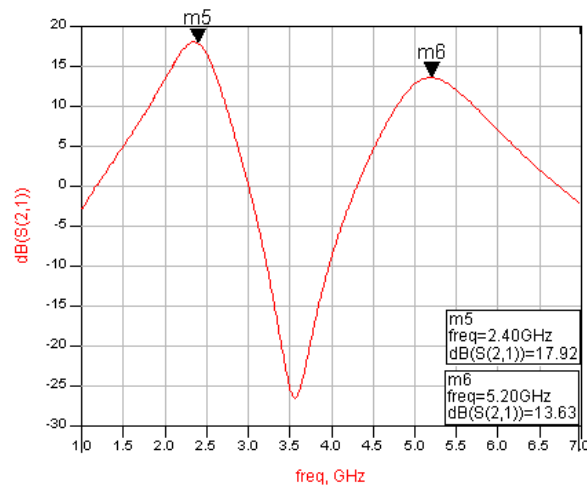
La figure suivante, montre les résultats de la simulation obtenue par le simulateur ADS de l'amplificateur Bibande dans les deux fréquences 2.4GHz et 5.2GHz en fonction des paramètres (S) :



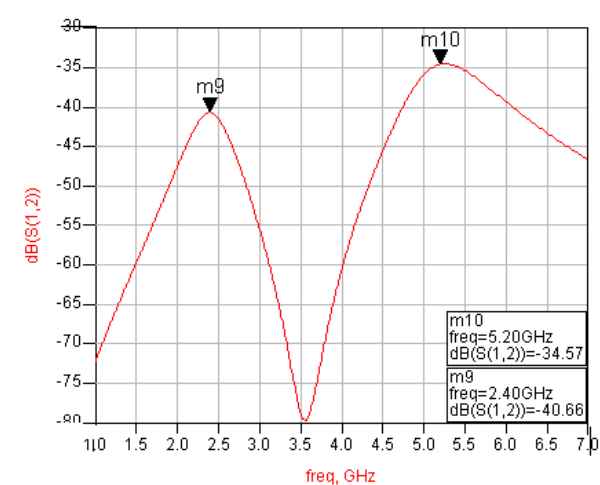
**Figure 4-40 : Adaptation S11@ 2.4/5.2GHz**



**Figure 4-41 : Adaptation S22@ 2.4/5.2GHz**



**Figure 4-42 : Gain S21@ 2.4/5.2GHz.**



**Figure 4-43 : Isolation S12@ 2.4/5.2GHz.**

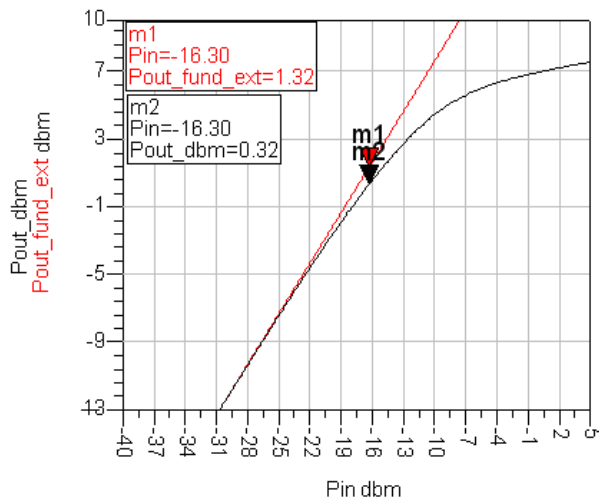


Figure 4-44 : ICP-1dB @2.4GHz

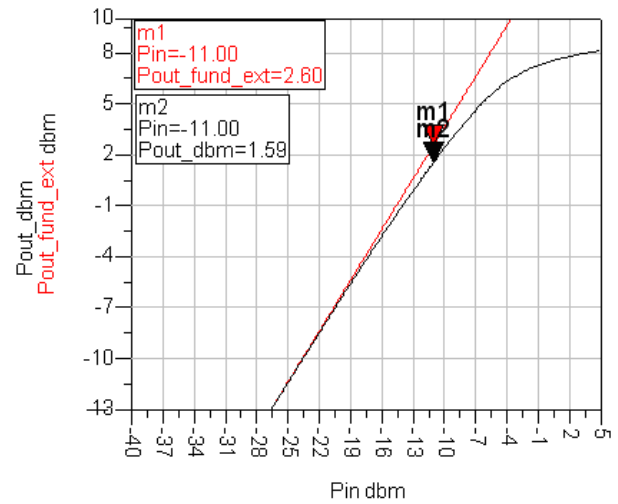


Figure 4-45 :Le ICP-1dB @ 5.2GHz.

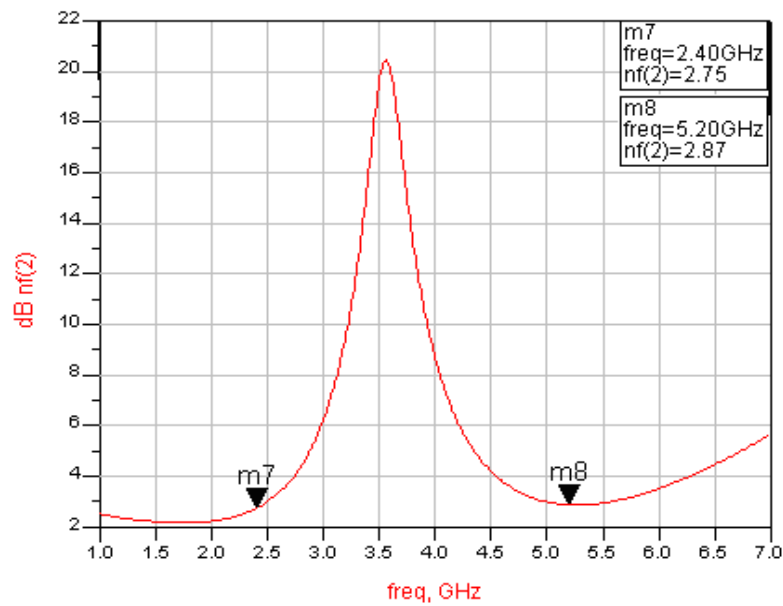


Figure 4-46 : Facteur de bruit NF@ 2.4/5.2GHz

Les résultats du montage Bibande sont montrés dans la tableau ci-dessous.

Fréquence (GHz)	2.4	5.2
S11 (dB)	-10.37	-13.03
S22 (dB)	-17.65	-29.18
S12 (dB)	-40.66	-34.571
S21 (dB)	17.91	13.63

NF (dB)	2.74	2.87
OCP1/ICP1 (dBm)	0.32 /-16.3	1.59 /-11
Pdc (mW)	9	9

**Tableau 4-10 : Résultats obtenus pour le montage Bibande**

Dans cette partie, nous avons décrit la conception d'un amplificateur faible bruit Bibande en technologie CMOS 0,18  $\mu\text{m}$  sous la tension d'alimentation de 1.8V et fonctionnant à deux fréquences 2,4 GHz et 5.2GHz. Les performances obtenues sont moins performantes que les résultats acquis dans le cas d'un amplificateur Unibande, car nous remarquons que la consommation a légèrement augmenté (le courant de polarisation : 5 mA), et puisque nous avons éliminé l'inductance  $L_S$ , les pertes de réflexion à l'entrée dans les deux fréquences 5.2GHz et 2.4 GHz ont augmenté - 10,37 dB et - 13,03 dB. De plus, il y a une dégradation de facteur de bruit dans les deux fréquences 2.74 dB et 2.87 dB vu le nombre des inductances à l'entrée de l'amplificateur.

#### 4.5.4 Récapitulation des résultats :

Le tableau suivant récapitule tous les résultats trouvés auparavant pour les différentes simulations :

	Méthode analytique (Unibande)		Méthode classique ( Unibande)		Bibande	
	2.4	5.2	2.4	5.2	2.4	5.2
Fréquence (GHz)	2.4	5.2	2.4	5.2	2.4	5.2
S11 dB	-18.62	-22.27	-20	-27	-10.37	-13.03
S22 dB	-21.45	-17.54	- 31	-30	-17.65	-29.18
S12 dB	-38,76	-32.76	- 40	-30	-40.66	-34.571
S21 dB	18.49	15.96	18	13	17.91	13.63
NF dB	1.81	1.91	2.05	1.91	2.74	2.87
OCP1/ICP1dBm	-35 /- 3.5	-40/-19.5	-40/-2.4	-38/-17.5	0.32/-16.3	1.59 /-11
Pdc (mW)	14.52	12.38	8.64	8.33	9	9

**Tableau 4-11 : Résultats obtenus pour les différents montages**

#### 4.6 Conclusion :

Nous avons présenté ici deux amplificateurs à faible bruit basés sur deux techniques différentes (bi bande et source de dégénérescence inductive). Parfaitement adaptés aux contraintes de faible consommation, ceux-ci offrent des caractéristiques remarquables au regard de leur gain en puissance dépassant les 10 dB de gain. Pendant la conception du premier circuit cascade à dégénérescence inductive, nous avons opté pour deux méthodes différentes, et nous avons choisi

la méthode classique sous contrainte de la consommation en puissance vu ses avantages et son efficacité. Concernant le deuxième circuit, il représente une architecture unique en matière de conception et particulièrement adapté à la technologie CMOS. Capable de couvrir plusieurs standards à la fois comme le 802.11a, 802.11b et 802.11g, il fonctionne sous très basse consommation tout en fournissant un gain supérieur à 10 dB pour un facteur de bruit inférieur à 3dB, proche des meilleurs résultats rencontrés dans la littérature actuelle.

## Conclusion

Le travail présenté dans ce mémoire de projet de fin d'études entre dans le cadre de la conception d'un circuit intégré radiofréquence, en l'occurrence, l'amplificateur à faible bruit (LNA) qui est généralement placé à l'entrée des chaînes de réception radiofréquences. Cet LNA a été conçu en technologie CMOS 0.18 $\mu$ m et dédié aux applications de communication sans fils respectant le standard WLAN de la norme IEEE 802.11 (802.11a, 802.11b/g).

En effet, le travail effectué concernait des LNAs basés sur différentes méthodologies de conception. Pour les LNAs unibandes, nous avons adopté la topologie cascode à dégénérescence inductive qui est l'architecture la plus répandue tout en changeant l'approche de dimensionnement entre l'analytique et le classique en vue d'améliorer les performances exigées par le cahier de charges. Notant qu'en dehors de la contrainte de consommation de puissance, la simulation a montré une adéquation entre les résultats escomptés et les résultats obtenus en terme de gain et de facteur de bruit. Pour le LNA Bibande, il a été remarqué que les résultats de simulation restent satisfaisants malgré l'apparition d'une légère augmentation du facteur de bruit qui est du essentiellement aux nombres d'inductances utilisées.

Dans l'ensemble, on peut dire que ce travail a permis d'arriver à des résultats acceptables vis-à-vis de ceux trouvés dans la littérature. Par ailleurs, ce projet nous a aidé à se familiariser avec le monde de la conception des circuits intégrés radiofréquences qui reste très prometteur.



## Bibliographie

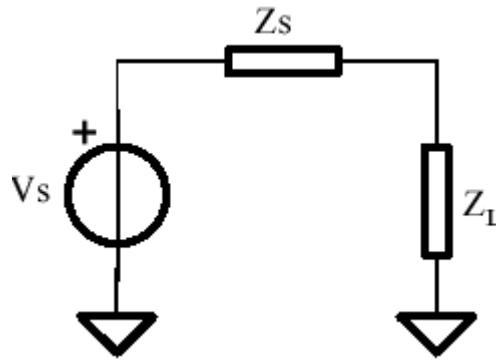
- [1] BAUDOIG G.,VILLEGAS M. et al .radiocommunications numériques ,tome 1et 2. Ed. dunod, p.623 et p.446 , 2002.
- [2] AISSI M. conception de circuits WLAN 5 GHZ à résonateurs BAW -FBAR intégrés : oscillateurs et amplificateurs filtrants .thèse en microélectronique, Université Paul Sabatier de Toulouse , 2006.
- [3] MIKKELSEN J. H. et al. Feasibility study of DC offset filtering for UTRA-FDD/WCDMA direct-conversion receiver.In proceeding 17th NORCHIP conference,1999.
- [4] SAMPEI S., FEHER K. Adaptative dc-offset compensation algorithm for burst mode operated direct conversion receivers.In proceeding VTC Spring 1992 -The IEEE semi-annual vehicular Technology Conference,Mai 1992.
- [5] LINDQUIST B.,ISBERG M.,DENT P.W . A new approach to eliminate the DC offset in a TDMA direct conversion receiver . In proceedings VTC spring 1993 - The IEEE semiannual vehicular Technology Conference,Mai 1993.
- [6] HULL CD., LEONG J. A direct - conversion receiver for 900 Mhz ( ISM band ) spread-spectrum Digital Cordless Telephone . IEEE journal of Solid State Circuits, Vol.31,No.12,pp.1955-1963,Décembre1996.
- [7] RAZAVI B.RF Microelectronics.Prentice Hall, 1998.
- [8] A. Springer, L. Maurer, and R. Weigel, « RF system concept for highly integrated RFICs for W-CDMA mobile radio terminals, » IEEE MTT, vol. 50, no. 1, pp. 254-267, January 2002.
- [9] Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications – High-Speed Physical Layer in the 5 GHz Band, ANSI/IEEE Standard 802.11a, 1999.
- [11] C. Wann *et al.*, "High-performance 0.07  $\mu\text{m}$  CMOS with 9.5 ps gate delay and 150 GHz  $fT$ ", *IEEE Electron Device Letters*, vol. 18, pp. 625- 627, Dec. 1997.
- [12] Razavi - Design of Analog CMOS Integrated Circuits 2001 .
- [13] J. A. Dobrowolski, Monolityczne mikrofalowe układy scalone. Warszawa: Wydawnictwa Naukowo Techniczne, 1999.
- [14] A. Abidi. "High frequency Noise Measurements on FETs with Small Dimensions," IEEE Transactions on Electronic Devices, Vol. 33 pp. 1801-1805, November 1986

- [15] A. Van Der Ziel. Noise in Solid-State Devices and Circuits. New York: Wiley, 1986
- [16] T. Lee. The Design of CMOS Radio-Frequency Integrated Circuits. Cambridge University Press, Cambridge, UK, 1998
- [17] Y. Tsvividis. Operation and Modeling of the MOS transistor. McGraw-Hill, Boston, 1998
- [18] P. R. Gray, R.G. Meyer, P. J. Hurst and S. H. Lewis, Analysis and Design of Analog Integrated Circuits, Fourth Edition, Wiley, New York, 2001.
- [19] M. Aissi, E. Tournier et R. Plana, "Fonctions RF en intégration above IC," 14èmes Journées Nationales Microondes, Mai 2005.
- [20] D. Cushman, K. F. Lau, E. M. Garber, K. A. Mai, A. K. Oki, and K. W. Kobayashi, "SBAR filter monolithically integrated with HBT amplifier," IEEE Ultrasonics Symposium, pp. 519-524, 1990.
- [21] G. G. Fattinger, J. Kaitila, R. Aigner, and W. Nessler, "Thin film bulk acoustic wave devices for applications at 5.2 GHz," Ultrasonics Symposium, pp. 174-177, 2003.
- [23] R. L. Bunch, D. L. Sanderson, and S. Raman, "Quality factor and inductance in differential IC implementations," IEEE Microwave Magazine, pp. 82-91, June 2002.
- [24] M. Danesh, J. R. Long, A. Hadaway, and D. L. Hame, "Q-factor enhancement technique for MMIC inductors," IEEE RFIC, pp. 217-220, 1998.
- [25] R Benton et al., "GaAs MMICs for an integrated GPS front-end", in GaAs IC symp. Dig. The. papers, pp. 123-126, 1992
- [26] M.Tiebout and E.Paparisto, "LNA design for a fully integrated CMOS Single Chip UMTS transceiver", IEEE European Solid State Circuits Conference (ESSCIRC2002), Florence, Italia, Sept.2002, pp. 825-828
- [27] A.Rofouragan, Y-C.Chang, M.Rofougaran, S.Khorram, A.A.Abidi, "A 1 GHz CMOS RF front-end IC for a direct conversion wireless receiver", IEEE Journal of Solid State Circuit, vol. 31, pp. 880-889, 1996
- [28] N.H.Sheng, W.J.Wang, N.L.Pierson, R.L.Asbeck, P.M.Edwards, "A 30 GHz bandwidth AlGaAs-GaAs HBT direct coupled feedback amplifier", IEEE Microwave Guided Wave Letters, vol. 4, pp. 373-375, 1994
- [29] F.Tillman and H.Sjöland, "1 Volt CMOS Bluetooth Front-End", IEEE European Solid State Circuits Conference (ESSCIRC2002), Florence, Italia, Sept.2002, pp. 795-798.
- [30] Derek K. Shaeffer and Thomas H. LEE, "A 1.5V, 1.5GHz CMOS Low Noise Amplifier", IEEE Journal of Solid State Circuits, vol 32, n°5, pp. 745-759, 1997

- [31] P.Leroux, J.Janssens and M.Steyaert, "A 0.8 dB NF ESD-protected 9 mW CMOS LNA", IEEE International Solid State Circuits and Conference (ISSCC2001), San Francisco, USA, pp. 410-411
- [32] J.Y.C Chang, A.A.Abidi, M. Gaitan "Large suspended inductors on silicon and their use in a 2  $\mu\text{m}$  CMOS RF Amplifier", *IEEE Electron Device Letters*, vol. 14, pp. 246-248, Mai 1993 .
- [33] H. Ainspan, M. Soyuer et al., "A 6.25-GHz Low DC Power Low-Noise Amplifier in SiGe," IEEE Custom Integrated Circuits Conference, pp. 177-180, May 1997.
- [34] M. F. Carreto-Castro, J. Silva-Martinez, "RF Low noise Amplifiers," IEEE International Symposium on Circuits and System, pp. 81-83, Vol. 2, 31 May – 3 June 1998.
- [35] B. Ray, R. D. Beards et al., "A Highly Linear Bipolar 1V Folded Cascode 1.9 GHz Low Noise Amplifier," Bipolar/BiCMOS Circuits and Technology Meeting, pp. 157-160, September 1999.
- [36] T. Tsang, M. El-Gamal, "A Fully Integrated 1 V 5.8 GHz Bipolar LNA," IEEE International Symposium on Circuits and System, pp. 842-845, Vol. 4, May 2001.
- [37] S. Yang, R. Mason et al., "6.5 mW CMOS Low Noise Amplifier at 1.9 GHz," IEEE International Symposium on Circuits and System, pp. 85-88, Vol. 2, July 1999.
- [38] H. Zhao, J. Ren et al., "A 3.3-V, 2-GHz CMOS Low Noise Amplifier," 4<sup>th</sup> International Conference on ASIC, pp. 818-820, October 2001.
- [39] X. Yang, T. Wu et al., "Design of LNA at 2.4 GHz Using 0.25  $\mu\text{m}$  Technology," Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, pp. 12-17, September 2001.
- [40] H. Fouad, K. Sharaf et al., "An RF CMOS Cascode LNA with Current Reuse and Inductive Source Degeneration," 44<sup>th</sup> IEEE Midwest Symposium on Circuits and Systems, pp. 824-828, Vol. 2, August 2001.
- [41] J. Long, R. Weber et al., "A 2.4 GHz Sub-1dB CMOS Low Noise Amplifier with On-Chip Interstage Inductor and Parallel Intrinsic Capacitor," IEEE Radio and Wireless Conference, pp. 165-168, 2002.
- [42] D.J. Cassan, J.R. Long, A 1-v transformer-feedback low-noise amplifier for 5-GHz wireless LAN in CMOS, *IEEE J. Solid-State Circuit* 38 (3) (2003) 427–435.
- [43] L.-H. Lu, H.-H. Hsieh, Y.-S. Wang, A compact 2.4/5.2-GHz CMOS dual-band low-noise amplifier, in: *IEEE Microwave and Wireless Components Letters*, vol. 15, 10, 2005, pp. 685–687.

## Annexe 1

Calcul de l'impédance de charge  $Z_L$  permettant de transférer un maximum de puissance depuis la source  $S$  :



Soit  $P$  la puissance consommée par la charge  $Z_L$  :

note  $R$  : représente la partie réel

$$P = R ( V_L \cdot I^* )$$

$$P = R \left( \frac{Z_L}{Z_L + Z_S} \times \frac{1}{(Z_L + Z_S)^*} |V_S|^2 \right)$$

$$P = R \left( \frac{Z_L}{(Z_L + Z_S)^2} |V_S|^2 \right)$$

$$P = \frac{1}{|Z_L + Z_S|^2} R(Z_L) |V_S|^2 \quad \text{avec } Z_L = a_L + i b_L$$

$$P = \frac{1}{|Z_L + Z_S|^2} a_L |V_S|^2$$

$$P = \frac{a_L}{(a_L + a_S)^2 + (b_L + b_S)^2} |V_S|^2$$

Il faut calculer la dérivée de cette fonction à deux variables pour en trouver le maximum :

$$P = \left[ \frac{(a_L + a_S)^2 - 2(a_L + a_S)a_L}{[(a_L + a_S)^2 + (b_L + b_S)^2]^2} \cdot \partial a_L + \frac{-2(b_L + b_S)a_L}{[(a_L + a_S)^2 + (b_L + b_S)^2]^2} \cdot \partial b_L \right]$$

L'annulation de cette dérivée peut se faire indépendamment suivant les deux variables puisqu'elles sont indépendantes :

- par rapport à  $a_L$  :

$$\left[ \frac{(a_L + a_S)^2 - 2(a_L + a_S)a_L}{[(a_L + a_S)^2 + (b_L + b_S)^2]^2} \cdot \partial a_L \right] = 0 \Rightarrow (a_L + a_S) - 2a_L = 0 \Rightarrow a_L = a_S$$

par rapport à  $b_L$  :

$$\left[ \frac{-2(b_L + b_S)a_L}{[(a_L + a_S)^2 + (b_L + b_S)^2]^2} \cdot \partial b_L \right] = 0 \Rightarrow -2(b_L + b_S)a_L = 0 \Rightarrow b_L = -b_S$$

il vient que :

$$Z_L = a_S - i b_S$$

$$Z_S = a_S + i b_S$$

$$\Rightarrow Z_L - Z_S^*$$

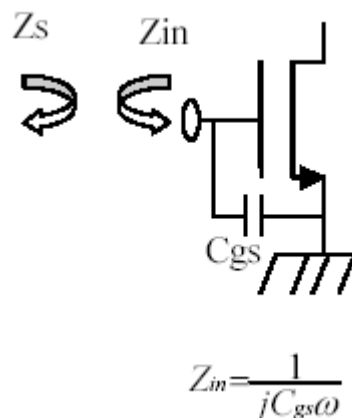
## Annexe 2

### *I/Introduction :*

Le calcul de la figure de bruit minimale se lie et se heurte au calcul de la fonction de transfert de puissance. En effet, les sens de variation de ces caractéristiques étant antagonistes. L'optimisation simultanée ne peut normalement pas être réalisée. En pratique on va faire coïncider les adaptations pour une fréquence donnée (avec quelques compromis) afin de satisfaire les deux domaines figure de bruit minimal ( $NF_{\min}$ ) et gain maximal ( $G_{\max}$ ).

### *II/Gain en tension :*

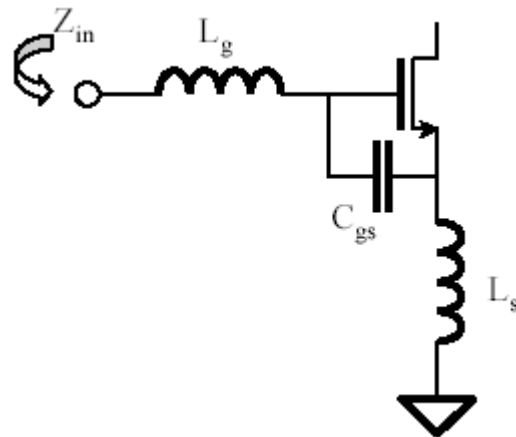
Dans un premier temps nous allons étudier l'adaptation d'impédance d'entrée qui va nous permettre d'optimiser le gain en tension.



**Figure 1 :** impédance d'entrée du MOS

Pour une transmission optimale de puissance il faut :  $Z_{in}^* = Z_s \Rightarrow Z_{in} = 50 \Omega$ .

Le problème est que l'impédance d'entrée du transistor MOS est un imaginaire pur comme le montre la figure 1. Il est donc difficile de l'adapter à une impédance réelle de 50. Toutefois, il est possible de contourner ce problème en utilisant une "dégénérescence inductive". Cette technique est présentée dans la figure 2.



**Figure 2** : dégénérescence inductive de source

$$Z_{in} = j(L_g + L_s)\omega + \frac{1}{jC_{gs}\omega} + \frac{g_m}{jC_{gs}\omega} \cdot jL_s\omega \Rightarrow Z_{in} = j\left(L_g - \frac{1}{C_{gs}\omega}\right) + \omega_T \quad (1)$$

Avec  $L_g + L_s \approx L_g$  car  $L_g < L_s$

A la fréquence de fonctionnement  $\omega_0$  :  $Z_{in} = 50 \Omega$

$$\left(L_g \omega - \frac{1}{\omega C_{gs}}\right) = 0 \Rightarrow L_g = \frac{1}{\omega^2 C_{gs}} \quad (2)$$

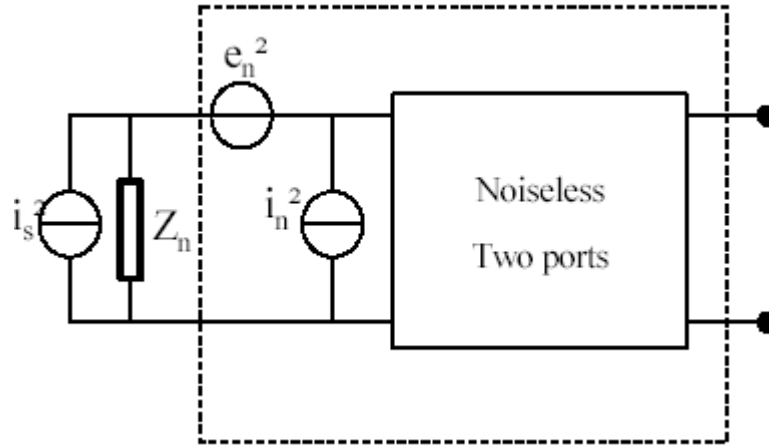
$$L_s \cdot \omega_T = 50 \Omega \Rightarrow L_s = \frac{50 \cdot C_{gs}}{g_m} \quad (3)$$

L'inductance de grille  $L_g$  annule la capacité d'entrée  $C_{gs}$  à la fréquence de fonctionnement  $\omega_0$ .

Grâce à l'effet transistor  $L_s$  présente une impédance réelle en entrée qui permet d'adapter le Transistor à  $50\Omega$ .

### ***III/ Approche générale de la figure de bruit :***

Tous les calculs de figure de bruit viennent du transistor et de ses dimensions W et L. Reprenons l'étude à la base avec l'approche classique du bruit :



**Figure 3** : générateurs de bruit sur un système deux ports .

La figure 3 présente un quadripôle sans bruit ‘noiseless’ en entrée duquel tout le bruit de ce dernier est ramené et modélisé par un générateur de tension  $e_n^2$  et un générateur de courant  $i_n^2$  de bruits équivalents . Ainsi le facteur de bruit peut s’écrire de la manière suivante :

$$F = \frac{i_s^2 + |i_n + Y_S e_n|^2}{i_s^2} \quad (4)$$

$e_n$  et  $i_n$  sont les générateurs de bruit équivalent incorporant toutes les sources de bruit du transistor MOS. Pour être cohérent, il faut définir  $i_n$  comme la somme de deux courants,  $i_c$  corrélés à  $e_n$  et  $i_u$  non corrélé (indépendant) à  $e_n$  :

$$i_n = i_c + i_u$$

Comme  $i_c$  et  $e_n$  sont totalement corrélés on peut écrire :  $i_c = Y_C e_n$  donc :

$$F = 1 + \frac{G_u + |Y_u + Y_S|^2 \cdot R_n}{G_S} = 1 + \frac{G_u + \left[ (G_c + G_S)^2 + (B_c + B_S)^2 \right] \cdot R_n}{G_S} \quad (5)$$

Toutes les admittances ont été décomposées en une inductance G et une susceptance B avec:



$$R_n = \frac{e_n^2}{4kT\Delta f} \quad G_u = \frac{i_u^2}{4kT\Delta f} \quad G_s = \frac{i_s^2}{4kT\Delta f}$$

Si l'on dérive F on obtient son minimum pour les valeurs  $B_s$  et  $G_s$  suivantes :

$$B_s = -B_c = B_{opt}$$

$$G_s = \sqrt{\frac{G_u}{R_n} + G_c^2} = G_{opt} \quad (7)$$

$$F_{min} = 1 + 2 R_n [G_{opt} + G_c] = 1 + 2 R_n \left[ \sqrt{\frac{G_u}{R_n} + G_c^2} + G_c \right]$$

$$F = F_{min} + \frac{R_n}{G_s} \left[ (G_s - G_{opt})^2 + (B_s + B_{opt})^2 \right]$$

(8)

Ainsi l'on définit les paramètres de l'admittance de source qui définissent des cercles centrés sur  $(G_{opt}; B_{opt})$  dans l'abaque de Smith.

#### ***IV/Les paramètres du transistor MOS :***

Il y a deux sources principales de bruit dans le transistor MOS :

- Le bruit thermique du courant de drain :

$$i_{nd}^2 = 4kT\gamma g_{d0}\Delta f$$

avec  $g_{d0}$  ( $\approx g_m$ ) la conductance  $g_{ds0}$  à  $V_{ds} = 0$  et  $\gamma = 1$  en linéaire et  $2/3$  en saturation

- le bruit du courant de grille :

$$i_{ng}^2 = 4kT\delta g_g \Delta f$$

$$\text{Avec } g_g = \frac{\omega^2 C_{gs}^2}{5g_{ds}} \text{ et } \delta = 2\gamma$$

Ces deux courants ont un coefficient de corrélation  $C = j 0,395$ .

En négligeant l'effet Miller qui "dope" la valeur de  $C_{gd}$ , on va pouvoir calculer les éléments qui composent les générateurs d'entrée du transistor MOS. En court-circuitant l'entrée dans un premier temps, seul le générateur  $e_n$  est présent à l'entrée et responsable du courant de bruit de drain :

$$e_n^2 = \frac{i_{nd}^2}{g_m^2} = \frac{4kT\gamma g_{d0} \Delta f}{g_m^2} \Rightarrow R_n = \frac{e_n^2}{4kT\Delta f} = \frac{\gamma g_{d0}}{g_m^2}$$

(9)

On remarque que le générateur de bruit de tension équivalent est normalement corrélé avec le courant de drain. Cependant, si l'on ouvre le circuit en entrée, un courant de bruit de drain subsiste, donc il existe un générateur de courant de bruit en entrée associé :

$$i_n^2 = \frac{i_{nd}^2 \cdot (j\omega C_{gs})^2}{g_m^2} = \frac{4kT\gamma g_{d0} \Delta f (j\omega C_{gs})^2}{g_m^2} = e_n^2 \cdot (j\omega C_{gs})^2 \quad (10)$$

On se rend compte que l'admittance est purement capacitive, donc en quadrature avance avec le courant de drain mais complètement corrélée. On peut donc dire que le courant de bruit d'entrée est la somme du courant précédent ainsi que du courant de grille induit corrélé avec celui de drain donc avec  $e_n$  :

$$Y_C = j\omega C_{gs} + \frac{i_{ngc}}{e_n} = j\omega C_{gs} + \frac{g_m}{i_{nd}} \cdot i_{ngs} = j\omega C_{gs} + \frac{i_{ngc}}{i_{nd}} \cdot g_m$$

$$Y_C = j\omega C_{gs} + g_m \cdot c \sqrt{\frac{\delta \omega^2 C_{gs}^2}{5\gamma g_{d0}^2}} = j\omega C_{gs} + \frac{g_m}{g_{d0}} \cdot c \sqrt{\frac{\delta}{5\gamma}} \cdot \omega \cdot C_{gs}$$

$$Y_C = j\omega C_{gs} + j\omega C_{gs} \frac{g_m}{g_{d0}} |c| \sqrt{\frac{\delta}{5\gamma}} = j\omega C_{gs} (1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}})$$

(11)

On remarque que  $Y_C$  est purement imaginaire donc

$$\begin{aligned} \Rightarrow B_C &= Y_C \\ \Rightarrow G_C &= 0 \end{aligned}$$

C'est en présentant une impédance complexe proportionnelle à  $C_{gs}$  que l'on comprend qu'il est difficile d'adapter le MOS à la fois en puissance (impédance réelle) et en figure de bruit (impédance imaginaire).

Il reste à calculer  $G_u$ , admittance associée au générateur de courant de bruit de grille :

$$i_{ng}^2 = (i_{ngc} + i_{ngu})^2 = 4KT\Delta f \delta \cdot g_g \cdot |c|^2 + 4KT\Delta f \delta \cdot g_g \cdot (1 - |c|^2)$$

$$G_u = \frac{i_{ngu}^2}{4kT\Delta f} = \frac{\delta \omega^2 C_{gs}^2 (1 - |c|^2)}{5g_{d0}}$$

(12)

Voici dans le tableau suivant rassemble les paramètres de bruit relatifs au transistor MOS:

Paramètre	Expression
$G_c$	$\cong 0$
$B_c$	$j\omega C_{gs} (1 + \alpha  c  \sqrt{\frac{\delta}{5\gamma}})$
$R_n$	$\frac{\gamma g_{ds}}{g_m^2} \frac{\gamma}{\alpha} \frac{1}{g_m}$
$G_u$	$\frac{\delta \omega^2 C_{gs}^2 (1 -  c ^2)}{5g_{d0}}$

**Tableau1:** paramètres de bruit relatifs au transistor MOS

Il vient alors que les impédances optimales calculées pour atteindre la figure de bruit minimale s'expriment comme suit :

$$\Rightarrow B_{opt} = -B_c = -\omega C_{gs} \left( 1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right) \quad (13)$$

$$\Rightarrow G_{opt} = \alpha \omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} \quad (14)$$

On remarque alors deux choses importantes :

- la susceptance  $B_{opt}$  est assimilable à une inductance en terme d'imaginaire pur mais varie en fréquence comme une capacité, par conséquent, son adaptation ne peut se faire qu'à une fréquence donnée.
- de même, l'admittance optimale varie en fréquence comme une capacité ce qui renforce l'unicité de l'adaptation en fréquence.

Grâce à ces constats il devient évident que le LNA réalisé en technologie CMOS est orienté Bande étroite ('narrowband') et non passe bande ('non pass band').

En se plaçant alors dans les conditions optimales d'adaptation au bruit, la figure de bruit minimale s'écrit :

$$F_{min} = 1 + 2 R_n [G_{opt} + G_c] \approx 1 + \frac{2\omega}{\sqrt{5}\omega_T} \sqrt{\gamma\delta(1-|c|^2)} \quad \text{avec } \omega_T = \frac{g_m}{C_{gs}} \quad (15)$$

Avec :  $|c| = j0,35$

$\delta = 2\gamma$  ( $\gamma = 1$  en fonctionnement linéaire,  $2/3$  en saturé)

S'il n'y avait pas de courant de drain alors  $G_u = 0$  et  $G_c = 0$  alors la figure de bruit minimal  $\cong 0\text{dB}$

Si le bruit de courant de grille était totalement corrélé au bruit du courant de drain alors  $|c| = 1$  et  $F_{min} \cong 0\text{dB}$ . Par conséquent, on peut conclure cette approche "classique" en disant que le minimum de la figure de bruit d'un transistor MOS n'est pas nul (en dB) à cause de la non corrélation qu'il existe entre le bruit du courant de grille induit et le bruit du courant de drain.

On peut dresser un rapide tableau des figures de bruit atteignables :

$(\omega/\omega_T)$	$F_{min}$ (dB)
1/20	0,330
1/15	0,438
1/10	0,650
1/5	1,25

**Tableau2** : résultats théoriques.

**Résumé :** Ce mémoire intitulé ‘‘ contribution à la conception d’un amplificateur à faible bruit pour les applications WLAN 802.11’’ s’est déroulé à la division microélectronique et nanotechnologie au sein du Centre de Développement des Techniques Avancés (CDTA). Il a permis dans un premier temps de mettre en avant les contraintes de conception induites par le marché de masse des objets sans fils qui sont le faible coût, la faible consommation, la haute performance et l’utilisation de la technologie CMOS. Ainsi, s’appuyant au préalable sur une étude théorique et analytique, nous avons effectué des travaux de conception et de simulation autour d’un amplificateur à faible bruit dédié aux chaînes de réception radiofréquences. Par ailleurs, le choix de certaines architectures pour la conception de ce bloc a permis de valider son adéquation avec les spécifications requises par le standard WLAN 802.11